

Payam Noor University Ebook
PNUeb
....کتابخانه الکترونیکی پیام نور

آیا نمونه سوال را از سایت ما دانلود کرده اید؟

کتابخانه الکترونیکی PNUEB

پیام نوری ها بشتابید

مزایای عضویت در کتابخانه PNUEB :

دانلود رایگان و نامحدود خلاصه درس و جزوه

دانلود رایگان و نامحدود حل المسائل و راهنما

دانلود کتابچه نمونه سوالات دروس مختلف

پیام نور با جواب

WWW.PNUEB.COM

# کتابچه نمونه سوالات چیست:

سایت ما **افتخار** دارد برای اولین بار در ایران توانسته است کتابچه نمونه سوالات تمام دروس پیام نور که هر یک حاوی تمامی آزمون های برگزار شده پیام نور (تمامی نیمسالهای موجود حتی الامکان با جواب) را در یک فایل به نام کتابچه جمع آوری کند و هر ترم نیز آن را آپدیت نماید.

## مراحل ساخت یک کتابچه نمونه سوال

***(برای آشنایی با زحمت بسیار زیاد تولید آن در هر ترم) :***

دسته بندی فایلها – سرچ بر اساس کد درس – چسباندن سوال و جواب – پیدا کردن یک درس در نیمسالهای مختلف و چسباندن به کتابچه همان درس – چسباندن نیمسالهای مختلف یک درس به یکدیگر – وارد کردن اطلاعات تک تک نیمسالها در سایت – آپلود کتابچه و خیلی موارد دیگر..

**همچنین** با توجه به تغییرات کدهای درسی دانشگاه استثنائات زیادی در ساخت کتابچه بوجود می آید که کار ساخت کتابچه را بسیار پیچیده می کند .

**WWW.PNUEB.COM**

# نمونه سوال امتحانی نیمسال اول 96–95

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی
PNUeb کتابخانه الکترونیکی پیام نور



**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ **سری سوال :** یک ۱

**عنوان درس :** طراحی خودکارمدارهای دیجیتال،طراحی کامپیوتری سیستمهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳ - ،مهندسی رباتیک،مهندسی کامپیوتر گرایش رایانش امن،مهندسی کامپیوتر گرایش فناوری اطلاعات،مهندسی کامپیوتر گرایش معماری سیستم های کامپیوتری،مهندسی کامپیوتر گرایش نرم افزار۱۳۲۲۰۱۷

**۱- طراحی خودکار مدار به چه معنی است؟**

۱. از ربات ها برای طراحی استفاده می شود.

۲. طراحی مدار بدون استفاده از نیروی انسانی انجام می شود.

۳. طراحی مدار با استفاده از یک نرم افزار مناسب انجام می شود.

۴. طراحی مدار با استفاده از عامل های هوشمند غیر انسانی انجام می شود.

**۲- بالاترین سطح انتزاع کدام است ؟**

۱. سیستم ۲. منطقی ۳. ریز معماری ۴. معماری

**۳- طراحی با استفاده از تراشه های استاندارد، در مقایسه با تراشه های قابل برنامه ریزی کدام ویژگی را دارد؟**

۱. سرعت مدار بیشتر است . ۲. طراحی و تست مدار آسان تر است .

۳. طرح قابل کپی برداری نیست. ۴. هزینه ساخت و نگهداری مدار بیشتر است.

**۴- در نمودار Y کدام گزینه جزء حوزه های طراحی نیست؟**

۱. فیزیکی ۲. فناوری ۳. رفتاری ۴. ساختاری

**۵- درطرح های متوسط و پیچیده، بهترین روش برای ساخت نمونه اولیه کدام است؟**

۱. استفاده از روش تمام سفارشی ۲. استفاده از روش نیمه سفارشی

۳. استفاده از مدارات برنامه پذیر ۴. استفاده از قطعات استاندارد

**۶- دو عیب اصلی FPGA در مقابل MPGA کدام است؟**

۱. قابلیت برنامه ریزی مجدد ۲. سرعت و چگالی منطقی کمتر

۳. انعطاف پذیری کمتر ۴. نداشتن قابلیت برنامه ریزی توسط کاربر

WWW.PNUEB.COM

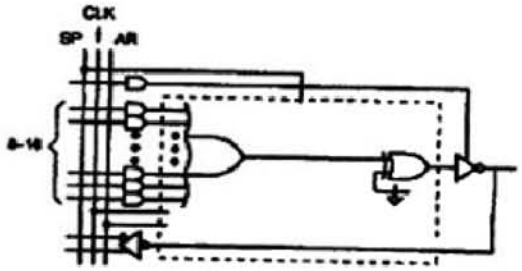
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی
دانشگاه پیام نور مرکز آزمون و سنجش

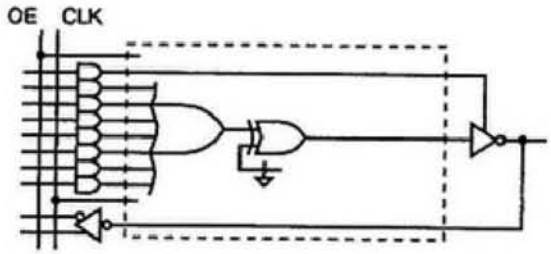
**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

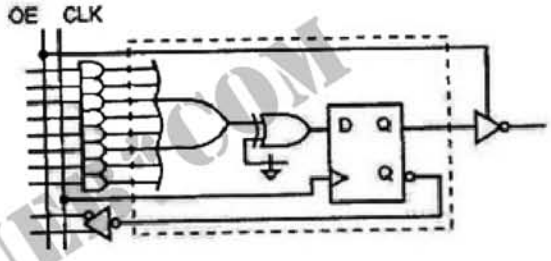
**عنوان درس :** طراحی خودکارمدارهای دیجیتال،طراحی کامپیوتری سیستمهای دیجیتال

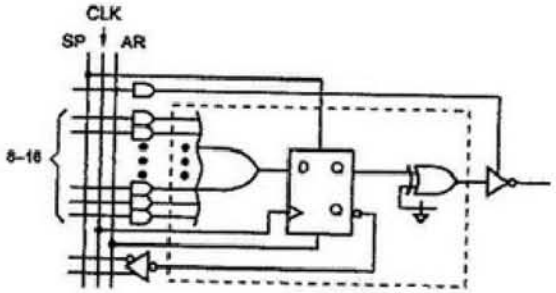
**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳ - ،مهندسی رباتیک،مهندسی کامپیوتر گرایش رایانش امن،مهندسی کامپیوتر گرایش فناوری اطلاعات،مهندسی کامپیوتر گرایش معماری سیستم های کامپیوتری،مهندسی کامپیوتر گرایش نرم افزار۱۳۲۲۰۱۷

**۷- درشت سلول منطقی(ماکروسل) با خروجی ترکیبی مربوط به GAL22V10 کدام است؟**

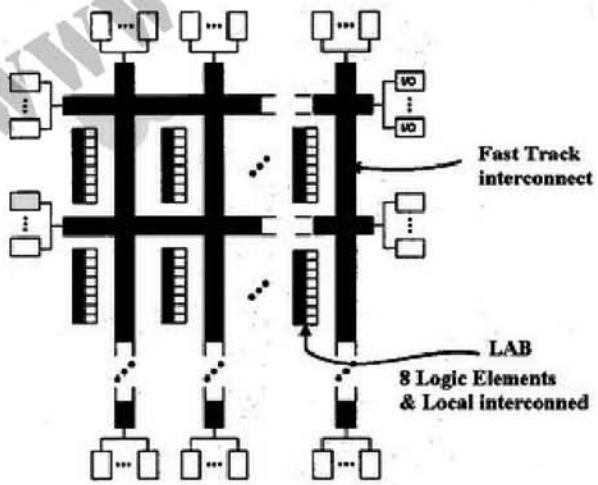
۱.



۲.



۳.



۴.



**۸- شکل زیر چه ساختاری را نشان می دهد؟**




۱. ساختار یک واحد تابعی برنامه پذیر PFU مربوط به شرکت AT&T

۲. ساختار کلی FLEX 8000 مربوط به شرکت Altera

۳. بلوک آرایه ای منطقی LAB

۴. بلوک منطقی PASIC

WWW.PNUEB.COM

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اسی
www.pnueb.com
PNUeb کتابخانه الکترونیکی پیام نور
دانشگاه پیام نور مرکز آزمون و سنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنوان درس :** طراحی خودکارمدارهای دیجیتال،طراحی کامپیوتری سیستمهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳ - ،مهندسی رباتیک،مهندسی کامپیوتر گرایش رایانش امن،مهندسی کامپیوتر گرایش فناوری اطلاعات،مهندسی کامپیوتر گرایش معماری سیستم های کامپیوتری،مهندسی کامپیوتر گرایش نرم افزار۱۳۲۲۰۱۷

**۹- کدام گزینه در مورد entity درست است؟**

۱. تعریف entity با کلمه رزرو شده entity شروع می شود.

۲. entity نمی تواند ورودی و خروجی داشته باشد.

۳. ارتباط entity با دنیای خارج به mode آن بستگی دارد.

۴. Generic فیلد اجباری است و می تواند true یا false باشد.

**۱۰- کدام شناسه معتبر است؟**

۱. AND ۲. Gate-input ۳. My_ gate1 ۴. OR4

**۱۱- مدل زیر برای تعریف چه نوع داده ای به کار می رود؟**

```
type  type_name   is (identifier list or character literal);
```

۱. سیگنال ۲. فیزیکی ۳. مجموعه ۴. شمارشی

**۱۲- در کدام ساختار VHDL می توان از قطعه کد زیر استفاده کرد؟**

```
if  x > y  then
   return  x ;
else
   return  y
end if ;
```

۱. function ۲. process ۳. generic ۴. procedure

**۱۳- مقدار متغیر $A = "101011"$ بعد از عمل شیفت $A \ sll \ 2$ چیست؟**

۱. 001010 ۲. 101100 ۳. 011010 ۴. 010110

**۱۴- کدام گزینه در مورد تبدیل انواع در VHDL درست است؟**

۱. تبدیل بین انواعی که اصالتا از یک نوع هستند،نیاز نیست.

۲. تبدیل بین انواع آرایه ای به شرط داشتن طول یکسان و عناصر همنوع، امکان پذیر است.

۳. انواع شمارشی می توانند به انواع آرایه ای تبدیل شوند.

۴. انواع شمارشی می توانند به انواع مجموعه ای تبدیل شوند.

WWW.PNUEB.COM

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
PNUeb کتابخانه الکترونیک پیام نور
دانشگاه پیام نور مرکز آزمون و سنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنوان درس :** طراحی خودکارمدارهای دیجیتال،طراحی کامپیوتری سیستمهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳ - ،مهندسی رباتیک،مهندسی کامپیوتر گرایش رایانش امن،مهندسی کامپیوتر گرایش فناوری اطلاعات،مهندسی کامپیوتر گرایش معماری سیستم های کامپیوتری،مهندسی کامپیوتر گرایش نرم افزار۱۳۲۲۰۱۷

**۱۵- مفهوم هم روندی در زبان های توصیف سخت افزار چیست؟**

۱. تغییر یک سیگنال به سایر سیگنال ها وابسته است.

۲. ایجاد تاخیر برای انتساب مقدار جدید به همه سیگنال ها به یک میزان است.

۳. دستورالعمل های انتساب سیگنال به صورت هم روند اجرا می شوند.

۴. ساختار چند سخت افزار توصیف شده مشابه است.

**۱۶- در توصیف طرح به زبان VHDL تعریف درگاه های ورودی خروجی مدار درکدام قسمت انجام می شود؟**

۱. process ۲. inout ۳. buffer ۴. entity

**۱۷- برنامه زیر کدام مدار را توصیف می کند؟**

```
ARCHITECTURE ram OF ram4 IS
        TYPE vector_array IS ARRAY (0 TO words-1) OF
         STD_LOGIC_VECTOR (bits-1 DOWNTO 0);
       SIGNAL memory :vector_array;
BEGIN
      PROCESS (CLK, wr_ena)
      BEGIN
           IF (wr_ena = '0') THEN
               bidir <= memory (addr);
          ELSE
             bidir <= (OTHERS => 'Z');
             IF (clk'EVENT AND CLK = '1') THEN
                memory (addr) <= bidir;
       END IF;
     END IF;
END PROCESS;
END ram;
```

۱. RAM با گذرگاه ورودی / خروجی دو طرفه
۲. RAM دو درگاهه
۳. RAM دو درگاهه $4\times4$
۴. RAM با ورودی و خروجی مجزا

**۱۸- عملگر شیفت حسابی به چپ با ورودی بیت سمت راست صفر کدام است؟**

۱. srl ۲. sll ۳. sla ۴. ror

**۱۹- در VHDL کدام نوع تاخیر برای مدل کردن تاخیر خطوط سیمی در بردها و المانهای تاخیر در مدارات و تاخیر مسیر سیگنالها در داخل ICها استفاده می شود؟**

۱. تاخیر لختی ۲. تاخیر انتقال ۳. تاخیر سیگنالینگ ۴. تاخیر ترکیبی

WWW.PNUEB.COM

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
www.pnueb.com خبرنامه اس ام اسی
PNUeb کتابخانه الکترونیکی پیام نور
دانشگاه پیام نور مرکز آزمون و سنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنوان درس :** طراحی خودکارمدارهای دیجیتال،طراحی کامپیوتری سیستمهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳ - ،مهندسی رباتیک،مهندسی کامپیوتر گرایش رایانش امن،مهندسی کامپیوتر گرایش فناوری اطلاعات،مهندسی کامپیوتر گرایش معماری سیستم های کامپیوتری،مهندسی کامپیوتر گرایش نرم افزار۱۳۲۲۰۱۷

**۲۰- در نرم افزار MAX+PLUS II ، کدام ویرایشگر ابزاری را برای وارد کردن بردارهای تست و مشاهده نتایج شبیه سازی فراهم می کند؟**

۱. ویرایشگر شکل موج ۲. ویرایشگر پایه ۳. ویرایشگر گرافیکی ۴. ویرایشگر سمبل

**۲۱- در صورتی که پروژه ای آنقدر بزرگ باشد که در یک تراشه جا نشود از کدام بخش کامپایلر؛ برای قرار دادن طرح در چند تراشه از یک نوع استفاده می شود ؟**

۱. assembler ۲. fitter ۳. Logic Synthesizer ۴. partitioner

**۲۲- برنامه زیر برای توصیف کدام قطعه استفاده می شود؟**

```
entity xxxxxxx  is
port( x: in std_logic;
      y: in std_logic;
      F: out std_logic
      );
end xxxxxxx ;
-------------------------------------
architecture behv1 of  xxxxxxx  is
begin
    process(x, y)
    begin
        -- compare to truth table
      if (x='0' and y='0') then
            F <= '1';
      else
          F <= '0';
      end if;
    end process;
end behv1;
-------------------------------------
```

۱. NOR دو ورودی ۲. NAND دو ورودی ۳. AND دو ورودی ۴. OR دو ورودی

**۲۳- با استفاده از کدام دستور مدارات پارامتری ایجاد می شود؟**

۱. entity ۲. choice ۳. generic ۴. architecture

WWW.PNUEB.COM

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
www.pnueb.com خبرنامه اس ام اسی
PNUeb کتابخانه الکترونیکی پیام نور
دانشگاه پیام نور مرکز آزمون و سنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ **سری سوال :** ۱ یک

**عنوان درس :** طراحی خودکارمدارهای دیجیتال،طراحی کامپیوتری سیستمهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳ - ،مهندسی رباتیک،مهندسی کامپیوتر گرایش رایانش امن،مهندسی کامپیوتر گرایش فناوری اطلاعات،مهندسی کامپیوتر گرایش معماری سیستم های کامپیوتری،مهندسی کامپیوتر گرایش نرم افزار۱۳۲۲۰۱۷

**۲۴- در نرم افزار MAX+PLUSII ،برای تنظیم اختیارات بهینه سازی از کدام مسیر استفاده می شود؟**

۱. $MAX + PLUSII \rightarrow Compiler$

۲. $Assign \rightarrow Global\ Project\ Logic\ Syntesis$

۳. $Assign \rightarrow Device$

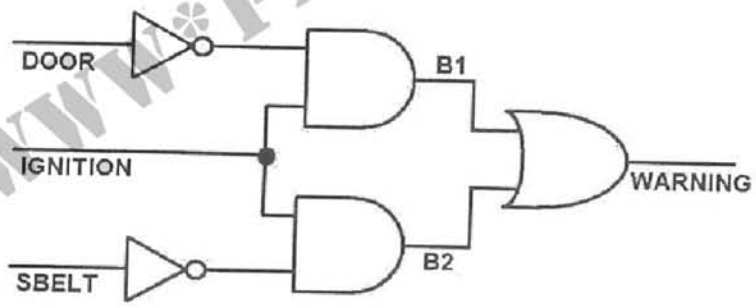
۴. $Option \rightarrow Grid\ size$

**۲۵- استفاده از برچسب $X\ [7..0]$ برای مشخص کردن کدام گزینه مناسب است؟**

۱. پورت 7 ورودی
۲. خطوط باس 8 تایی
۳. پورت 4 ورودی - 4 خروجی
۴. 8 سیم اتصال مستقل

## سوالات تشریحی

**۱- توصیف رفتاری و ساختاری مدار هشداردهنده زیر را بنویسید.** ۱.۴۰ نمره




**۲- توصیف یک D فلیپ فلاپ با ورودی کلاک را، به زبان VHDL بنویسید.** ۱.۴۰ نمره

**۳- از ابزارهای $MAX + PLUS\ II$، نمایشگر سلسله مراتبی را توضیح دهید.** ۱.۴۰ نمره

**۴- ماشین های مور و میلی را مقایسه کنید.جدول و نمودار حالت هر کدام را ارائه نمایید.** ۱.۴۰ نمره

**۵- انواع سوییچ مبتنی بر SRAM را نام ببرید و با رسم شکل نشان دهید.** ۱.۴۰ نمره

WWW.PNUEB.COM

# پاسخنامه نیمسال اول 96-95

## کد درس :

۱۳۲۲۰۱۷

تهیه و تنظیم توسط تیم PNUEB

WWW.PNUEB.COM

| شماره سوال | جواب صحیح | وضعیت کلید |
|---|---|---|
| 1 | ج | عادی |
| 2 | الف | عادی |
| 3 | د | عادی |
| 4 | ب | عادی |
| 5 | ج | عادی |
| 6 | ب | عادی |
| 7 | الف | عادی |
| 8 | ب | عادی |
| 9 | الف | عادی |
| 10 | ج | عادی |
| 11 | د | عادی |
| 12 | الف | عادی |
| 13 | ب | عادی |
| 14 | ب | عادی |
| 15 | ج | عادی |
| 16 | د | عادی |
| 17 | الف | عادی |
| 18 | ج | عادی |
| 19 | ب | عادی |
| 20 | الف | عادی |
| 21 | د | عادی |
| 22 | الف | عادی |
| 23 | ج | عادی |
| 24 | ب | عادی |
| 25 | ب | عادی |

| شماره سوال | جواب صحیح | وضعیت کلید |
|---|---|---|
| 26 | | |
| 27 | | |
| 28 | | |
| 29 | | |
| 30 | | |
| 31 | | |
| 32 | | |
| 33 | | |
| 34 | | |
| 35 | | |
| 36 | | |
| 37 | | |
| 38 | | |
| 39 | | |
| 40 | | |
| 41 | | |
| 42 | | |
| 43 | | |
| 44 | | |
| 45 | | |
| 46 | | |
| 47 | | |
| 48 | | |
| 49 | | |
| 50 | | |

# نمونه سوال امتحانی نیمسال اول ۹۴-۹۳

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون و سنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

**عنوان درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳

**۱- عناصر اساسی سطح منطقی، در سطوح مختلف انتزاع، کدامند؟**

۱. ترانزیستورها
۲. حافظه ها و ثبات ها
۳. دروازه ها و فلیپ فلاپ ها
۴. درشت سلول ها

**۲- کدام گزینه از مزایای استفاده از مدارات برنامه پذیر نیست؟**

۱. سرعت بالا
۲. هزینه پایین
۳. سهولت تست مدار
۴. امکان استفاده مجدد از قطعات مدار

**۳- وجه تمایز شبیه سازی زمانی، از شبیه سازی منطقی چیست؟**

۱. در نظر گرفتن زمان تأخیر
۲. اجرای توصیف انتزاعی طرح به صورت پویا
۳. اجرای توصیف انتزاعی طرح در سطح ترانزیستوری
۴. در نظر گرفتن توالی و زمان بندی الگوریتم و استفاده از ساختارهای کنترل

**۴- کدام گزینه جزء مدارات برنامه پذیر نیست؟**

۱. حافظه های فقط خواندنی برنامه پذیر
۲. دیکدرهای ۳ به ۸
۳. افزاره های منطقی برنامه پذیر
۴. آرایه دروازه های برنامه پذیر میدانی

**۵- کدام حافظه فقط یک بار قابل برنامه ریزی است؟**

۱. PROM
۲. UVROM
۳. EPROM
۴. EEPROM

**۶- تفاوت CPLD و SPLD در چیست؟**

۱. تأخیر انتشار CPLD بیشتر است.
۲. CPLD فقط یک بار قابل برنامه ریزی است.
۳. CPLD ظرفیت منطقی بالاتر دارد.
۴. CPLD ساختار ساده تری دارد.

**۷- کدام عبارت در باره PAL و PLA درست است؟**

۱. در PLA هر دو طبقه AND و OR و در PAL فقط طبقه AND قابل برنامه ریزی است.
۲. در PLA فقط طبقه AND و در PAL هر دو طبقه AND و OR قابل برنامه ریزی است.
۳. در PLA فقط طبقه AND و در PAL فقط طبقه OR قابل برنامه ریزی است.
۴. در PLA فقط طبقه OR و در PAL هر دو طبقه AND و OR قابل برنامه ریزی است.



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
PNUeb Payam Noor University Ebook ....کتابخانه الکترونیکی پیام نور
دانشگاه پیام نور مرکز آزمون و سنجش



۸- GAL چیست؟

۱. نوعی PLD ترتیبی که فقط یک بار قابل برنامه ریزی است.

۲. آرایه ای عمومی با امکان پاک شدن به صورت الکتریکی و قابلیت برنامه ریزی مجدد است.

۳. نوعی PAL ترکیبی است که المان حافظه ندارد.

۴. یک درشت سلول منطقی با خروجی ترکیبی است.

۹- کدام عبارت در مورد EPLD درست است؟

۱. فقط یک بار قابل برنامه ریزی است.

۲. عملیات پاک کردن به صورت الکتریکی و عملیات برنامه ریزی با استفاده از نور ماورای بنفش انجام می شود.

۳. در دفعات برنامه ریزی، پیکربندی ثابت است اما برنامه تغییر می کند.

۴. پس از برنامه ریزی با هر پیکربندی دلخواه می تواند پاک شود، و به حالت اولیه برگردد.

۱۰- کدام گزینه یک مزیت FPGA در مقابل MPGA است؟

۱. سرعت بیشتر
۲. چگالی منطقی بالاتر
۳. قابلیت برنامه ریزی توسط کاربر
۴. ارزان بودن

۱۱- کدام گزینه مقایسه درستی بین FPGA و CPLD انجام می دهد؟

۱. تعداد بلوک ها، فلیپ فلاپ ها و گیت های FPGA بیشتر است.

۲. CPLD برای طراحی مدارات پیچیده تر به کار می رود.

۳. CPLD مبتنی بر RAM است، و با هر بار روشن شدن باید دوباره برنامه ریزی شود.

۴. FPGA دارای تأخیر انتشار کمتری است.


www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون و سنجش

تعداد سوالات : تستی : ۲۵ تشریحی : ۵ | زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰ | سری سوال : ۱ یک

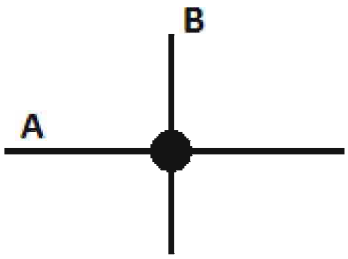
**عنوان درس :** طراحی خودکارمدارهای دیجیتال

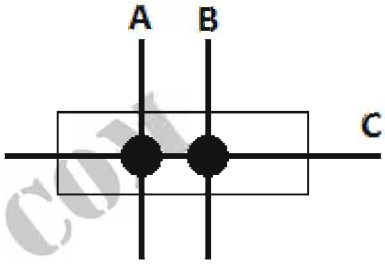
**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۱۳

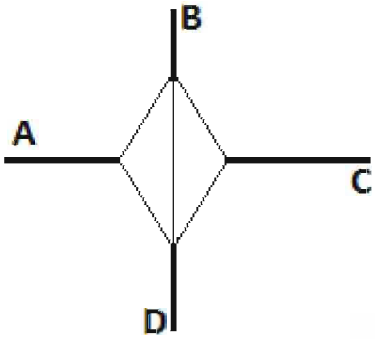
۱۲- کدام گزینه سوییچ همه سویه مبتنی بر SRAM را نشان می دهد؟

۱.



۲.



۳.



۴.



۱۳- کدام عبارت در باره ساختار بلوک منطقی Act3 درست است؟

۱. یک RAM در این بلوک منطقی وجود دارد.

۲. در این بلوک از فلیپ فلاپ ها و دروازه های چند ورودی استفاده شده است.

۳. در این بلوک دو دروازه AND و OR و یک مالتی پلکسر استفاده شده است.

۴. این بلوک منطقی شامل مدارهای محاسباتی است.

۱۴- در اتصالات بلوک ها در XC4000 کدام گروه سیم برای اتصالات طولانی به کار می رود، و از سوییچ قابل برنامه ریزی عبور می کند؟

۱. Single ۲. Double ۳. Long ۴. Direct Connect

۱۵- PSM چیست؟

۱. یک سوییچ قابل برنامه ریزی همه سویه

۲. ماتریس سوییچ های قابل برنامه ریزی همه سویه

۳. یک سوییچ سخت افزاری انتخاب کننده

۴. ماتریس سوییچ های سخت افزاری انتخاب کننده

۱۶- توصیف سیستم به صورت مجموعه ای از دروازه ها، سازه ها و اتصالات بین آن ها، توصیف در چه سطحی است؟

۱. رفتاری ۲. ساختاری ۳. الگوریتمی ۴. جریان داده



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون و سنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۱۳

**۱۷- در زبان VHDL ، یک سیستم دیجیتال در بالاترین سطح شامل کدام عنصر است؟**

۱. Entity ۲. Architecture ۳. Body ۴. Interface

**۱۸- کدام کلمه کلیدی برای mode به درستی توصیف شده است؟**

۱. Bit مشخص می کند که سیگنال ورودی یک بیتی است.

۲. Outin سیگنال دوطرفه با اولویت خروجی را معرفی می کند.

۳. Buffer مشخص می کند که سیگنال یک خروجی برای Entity است.

۴. Inout سیگنال دوطرفه با اولویت ورودی را تعیین می کند.

**۱۹- زمانبندی رخدادها چیست؟**

۱. مدیریت رخدادها و تعیین زمان سرایت یک رخداد به سیگنال های دیگر

۲. شیوه تعیین توالی اجرای دستورالعمل ها

۳. مکانیزم ایجاد تاخیر در انتساب مقدار جدید به سیگنال سمت چپ جمله انتساب

۴. هم روندی اجرای دستورالعمل های انتساب سیگنال

**۲۰- کدام گزینه جزء انواع تأخیر نیست؟**

۱. تأخیر انتقال ۲. تأخیر لختی ۳. تأخیر بافرینگ ۴. تأخیر دلتا

**۲۱- کدام عبارت در مورد دستور زیر درست است؟**

```
next turn;
```

۱. تکرار جاری حلقه ی turn را رها کرده و به تکرار بعدی حلقه می رود.

۲. تکرار جاری حلقه را رها کرده و از دستوری با برچسب turn اجرا را ادامه می دهد.

۳. حلقه ی turn را ترک می کند، و اجرا را از دستور بعد از حلقه ادامه می دهد.

۴. حلقه را ترک می کند، و اجرا را از دستوری با برچسب turn ادامه می دهد.

**۲۲- دستور زیر چه عملی انجام می دهد؟**

```
wait until not CLK'stable and CLK='1';
```

۱. تا رسیدن لبه پایین رونده منتظر می ماند.

۲. تا رسیدن لبه بالارونده منتظر می ماند.

۳. تا رسیدن یک لبه پایین یا بالارونده منتظر می ماند.

۴. تا رسیدن دامنه سیگنال به ولتاژ ۱ منتظر می ماند.



www.pnueb.com

PNUeb Payam Noor University Ebook ....کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس کتابخانه الکترونیکی دانشگاه پیام نور دانلود کتاب درسی
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
دانشگاه پیام نور مرکز آزمون و سنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۱۳

۲۳- با استفاده از کدام دستور، می توان مدارات پارامتری ایجاد نمود؟

۱. Port ۲. Transport ۳. Library ۴. Generic

۲۴- کدام گزینه بیانگر مود باز کردن فایل برای اضافه کردن است؟

۱. write_mode ۲. append_mode

۳. extend_mode ۴. read_write_mode

۲۵- در نرم افزار MAX+PLUS II با استفاده از کدام گزینه، امکان وارد کردن طرح از طریق نمودار زمانی فراهم می شود؟

۱. ویرایشگر گرافیکی ۲. ویرایشگر سمبل ۳. ویرایشگر پایه ها ۴. ویرایشگر شکل موج

## سوالات تشریحی

۱- دو عیب اصلی FPGA در مقابل MPGA چیست؟ دلیل آن را شرح دهید. ۱.۴۰ نمره

۲- المان سوییچ برنامه پذیر(PSE) چیست؟ با رسم شکل نشان دهید، و ۴ حالت از حالات اتصالی ممکن را رسم کنید. ۱.۴۰ نمره

۳- با استفاده از زبان توصیف VHDL، یک مدار XNOR دو ورودی را به صورت مدل رفتاری توصیف کنید. ۱.۴۰ نمره

۴- تابعی بنویسید که بررسی کند آیا مقدار VALUE در بین دو محدوده min و max قرار دارد یا خیر و مقدار را محدود شده به دو مقدار بالا و پایین برگرداند. ۱.۴۰ نمره

۵- با استفاده از زبان توصیف VHDL، یک D فلیپ فلاپ با ورودی کلاک را توصیف کنید. مقدار ورودی با لبه بالارونده کلاک به خروجی منتقل می شود. ۱.۴۰ نمره



www.pnueb.com

WWW*PNUEB*COM

# پاسخنامه نیمسال اول ۹۴-۹۳

## کد درس :

۱۱۱۵۲۱۳

تهیه و تنظیم توسط تیم PNUEB

WWW.PNUEB.COM

| شماره سوال | جواب صحیح | وضعیت کلید |
|---|---|---|
| ۱ | ج | عادی |
| ۲ | د | عادی |
| ۳ | الف | عادی |
| ۴ | ب | عادی |
| ۵ | الف | عادی |
| ۶ | ج | عادی |
| ۷ | الف | عادی |
| ۸ | ب | عادی |
| ۹ | د | عادی |
| ۱۰ | ج | عادی |
| ۱۱ | الف | عادی |
| ۱۲ | د | عادی |
| ۱۳ | ج | عادی |
| ۱۴ | ب | عادی |
| ۱۵ | ب | عادی |
| ۱۶ | ب | عادی |
| ۱۷ | الف | عادی |
| ۱۸ | ج | عادی |
| ۱۹ | ج | عادی |
| ۲۰ | ج | عادی |
| ۲۱ | الف | عادی |
| ۲۲ | ب | عادی |
| ۲۳ | د | عادی |
| ۲۴ | ب | عادی |
| ۲۵ | د | عادی |

| شماره سوال | جواب صحیح | وضعیت کلید |
|---|---|---|
| ۲۶ | | |
| ۲۷ | | |
| ۲۸ | | |
| ۲۹ | | |
| ۳۰ | | |
| ۳۱ | | |
| ۳۲ | | |
| ۳۳ | | |
| ۳۴ | | |
| ۳۵ | | |
| ۳۶ | | |
| ۳۷ | | |
| ۳۸ | | |
| ۳۹ | | |
| ۴۰ | | |
| ۴۱ | | |
| ۴۲ | | |
| ۴۳ | | |
| ۴۴ | | |
| ۴۵ | | |
| ۴۶ | | |
| ۴۷ | | |
| ۴۸ | | |
| ۴۹ | | |
| ۵۰ | | |

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
خبرنامه اس ام اس
www.pnueb.com
دانلود حل المسائل
دانشگاه پیام نور
مرکز آزمون و سنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۱۳

## سوالات تشریحی

| | |
|---|---|
| ۱- صفحه ۶۳ | ۱،۴۰ نمره |
| ۲- صفحه ۹۴ تا ۹۵ | ۱،۴۰ نمره |
| ۳- صفحه ۱۰۶ | ۱،۴۰ نمره |
| ۴- صفحه ۱۷۱ | ۱،۴۰ نمره |
| ۵- صفحه ۱۹۴ | ۱،۴۰ نمره |

WWW.PNUEB.COM



www.pnueb.com

# نمونه سوال امتحانی نیمسال دوم ۹۳-۹۲

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳

**۱- بالاترین سطح انتزاع کدام گزینه است؟**

۱. سیستم ۲. منطقی ۳. ریز معماری ۴. معماری

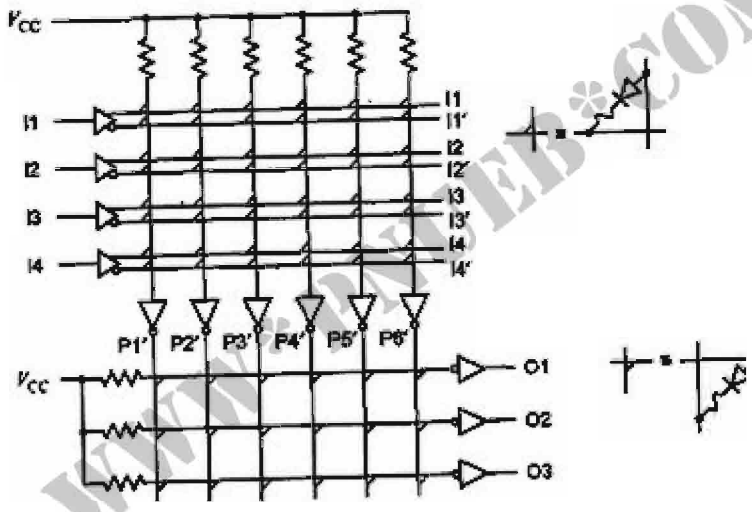
**۲-**

**کدام گزینه جمله زیر را در مورد تراشه PAL16L8 به طور صحیح کامل می کند؟**

**بین دروازه OR و خروجی ..... معکوس کننده وجود دارد و اگر یک جمله ضربی در دو دروازه OR مورد نیاز باشد باید ..... ایجاد شود.**

۱. دو - دوبار ۲. دو - یک بار ۳. یک - دوبار ۴. یک - یک بار

**۳- شکل زیر بیانگر کدام گزینه است ؟**




۱. ساختار PLA دو قطبی ۲. ساختار PLA سیماس

۳. تکنولوژی گیت شناور ۴. مدار داخلی GAL20V8

**۴- کدام گزینه، جمله زیر را به طور صحیح کامل می کند؟**

**..... یک مدار دوسطحی به صورت AND-OR است که می توان با برنامه ریزی آن، هر عبارت جمع حاصلضرب ها را در حد گنجایش در آن پیاده سازی نمود وصفحه AND و OR هر دو قابل برنامه ریزی هستند.**

۱. LGA ۲. GAL ۳. PAL ۴. PLA

**۵- کدام گزینه بیانگر مهمترین عناصر قابل برنامه ریزی CLB ها می باشد؟**

۱. SRAM ۲. RAM ۳. مولد های تابع منطقی ۴. فلپ فلاپ



www.pnueb.com

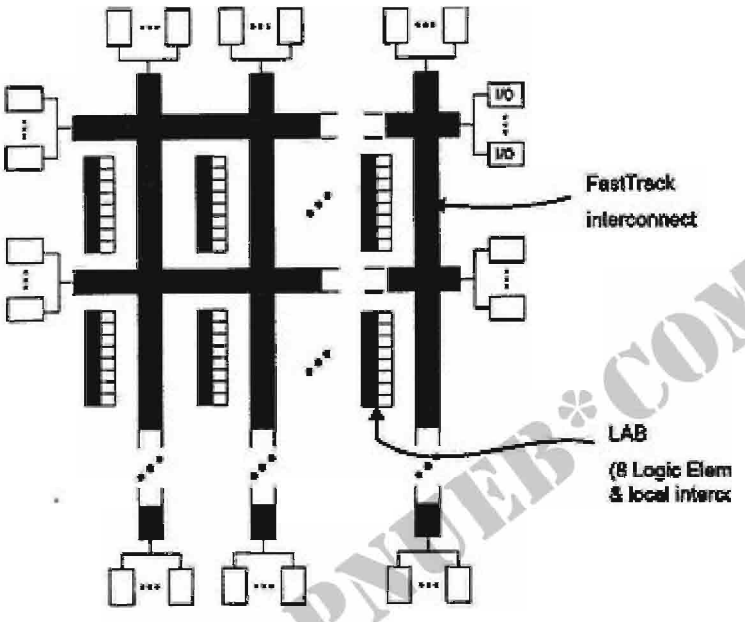
Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



۶- تابش نور ماوراءبنفش کدام یک از انواع حافظه را پاک می کند ؟

۱. EPROM ۲. PROM ۳. EEPROM ۴. NVRAM

۷- شکل زیر بیانگر کدام گزینه است ؟




۱. المان منطقی (LE)
۲. بلوک آرایه ای توکار (EAV)
۳. بلوک آرایه ای منطقی ( LBA)
۴. ساختار کلی ۸۰۰۰ FLEX

۸- کدام گزینه زمان بندی رخداد برای XOR نمودن X و Y را بدرستی ارائه می کند؟

۱. S <= x XOR y delay 5 ns;
۲. S <= x XOR y after 5 ns;
۳. S <= x XNOR y delay 5 ns;
۴. S <= x XNOR y after 5 ns;

WWW.PNUEB.COM



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
PNUeb Payam Noor University Ebook ....کتابخانه الکترونیکی پیام نور
دانشگاه پیام نور مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳

۹- کدام گزینه مدار مربوط به توصیف زیر با زبان VHDL بیان می کند؟

```
-------------------------------
Entity abcdefgh is
port ( x, y : in bit;
       S, CO: out bit);
end abcdefgh;
-------------------------------------------
architecture structural of abcdefgh is
-- Declarations
      component AND2
            port (in1, in2: in std_logic;
                  out1: out std_logic);
      end component;

      component XOR2
            port (in1, in2: in std_logic;
                  out1: out std_logic);
      end component;
-------------------------------------------
begin
-- Component instantiations statements
      U0: XOR2 port map (x, y, s);
      U1: AND2 port map (x, y, co);
end structural;
-------------------------------------------
```

۱. توصیف هندسی نیم جمع کننده.
۲. توصیف ساختاری نیم جمع کننده.
۳. توصیف ساختاری تمام جمع کننده.
۴. توصیف هندسی تمام جمع کننده.

۱۰- کدام یک از اسامی زیر برای نام entity مناسب است؟

۱. AND
۲. Mybook14
۳. _OR4
۴. 2AND

۱۱- در صورتیکه A= "10010110" نتیجه دستور زیر کدام گزینه است؟

A srl -2

۱. A srl 2
۲. دستور معتبر نیست
۳. "10010110"
۴. A sll 2

۱۲- کدام گزینه عبارت زیر در مورد تاخیر در VHDL را به طور صحیح کامل می کند؟

..... برای مدل کردن تاخیر خطوط سیمی در بردها والمانهای تاخیر در مدارات و تاخیر مسیر سیگنالها در داخل ICها استفاده می شود.

۱. تاخیر لختی
۲. تاخیرسیگنالینگ
۳. تاخیر انتقال
۴. تاخیر ترکیبی


www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
خبرنامه اس ام اس
www.pnueb.com
دانلود حل المسائل
دانشگاه پیام نور
مرکز آزمون وسنجش



**۱۳- در زبان VHDL کدام گزینه غلط است؟**

۱. برای مدل کردن تأخیر خطوط سیمی در بردها از تأخیر لختی (اینرسی) استفاده می شود.

۲. با استفاده از دستور Generic می توان مدارات پارامتری ایجاد نمود.

۳. امکان مدل کردن تأخیرهای لختی و انتقال وجود دارد.

۴. با در نظر گرفتن تأخیر دلتا ترتیب ارزیابی ها در نتایج شبیه سازی بی تأثیر خواهد شد.

**۱۴- نوع داده std_ulogic در واقع یک نوع داده ..... می باشد.**

۱. فیزیکی ۲. ممیز شناور ۳. مرکب ۴. شمارشی

**۱۵- گزینه صحیح برای پروسه زیر کدام است؟**

```
Process (A,B)
Begin
        If (A<B) then
        Less ← '1';
        Equal ← '1';
        Grater ← '0';
Else
        Less ← '0';
        Equal ← '0';
        Greater ← '1';
    End if;
End process;
```

۱. کلیه حالات مقایسه A و B را شامل می شود.

۲. نامساوی بودن A و B را مشخص می کند.

۳. در برخی از حالات A و B پاسخ غلط به خروجی ارسال می گردد.

۴. هیچکدام.



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



۱۶- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity q   is
Prot(data _ in:  in std_ logic
       clock:   in std_ logic;
        data _ out:   out std_ logic;
end q;

arachitecture  behave  of q   is
Begin
   Process (data _ in, clock)
   Begin
       If (clock='1' and clock'event) then
           data _ out <= data _ in;
              end if;

    End process
End behv;
```

۱. بافر
۲. فلیپ فلاپ D
۳. معکوس کننده(NOT)
۴. مالتی پلکسر

WWW*PNUEB*COM



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتاب درسی
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



**۱۷- قطعه برنامه زیرچه کیتی را توصیف می کند ؟**

```
  signal state: std_logic;
  signal input: std_logic_vector(1 downto 0)
begin
input <= a&b;
p:process(clock,reset) is
begin
   if(reset='1')then;
     state <='0';
   elsif(rising_edge(clock)) then
     case(input)is
       when"11"=>
          state <=  not state;
        when "10"=>
          state <= '1';
        when "01"=>
          state <= '0';
        when others =>
           null;
      end case;
    end if;
end process;
Q <= state
Qbar <= not state
```

۱. J-K فیلیپ فلاپ ۲. ثبات دو بیتی ۳. R-S فیلیپ فلاپ ۴. شمارنده دو بیتی

**۱۸- کدام گزینه جمله زیر را به صورت صحیح کامل می کند.**

**هر طرح دیجیتال شامل یک واحد ..... ویک مسیر داده است.مسیر داده شامل واحد های ..... مانند ثباتها و واحدهای ..... مانند، ثبات انتقالی ومقایسه کننده می باشد.**

۱. کنترل - ترکیبی - حافظه ۲. حافظه - کنترل - ترکیبی

۳. کنترل - حافظه - ترکیبی ۴. ترکیبی - کنترل - حافظه



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتاب درسی
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



**۱۹-** با توجه به عبارت زیر گزینه صحیح را انتخاب کنید؟

Variable: A bit _ vector :="101001";

A sla 2 = ?

۱. 011010 ۲. 100100 ۳. 100111 ۴. 100110

WWW*PNUEB*COM



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳

**۲۰- در برنامه زیر ALU چه اعمالی را انجام می دهد؟**

```
-------------------------------------------------------
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
use work.constant_lib.all;
-------------------------------------------------------
entity alu is
port (      num_A:      in std_logic_vector(15 downto 0);
            num_B:      in std_logic_vector(15 downto 0);
            jpsign:     in std_logic;
            ALUs:       in std_logic_vector(1 downto 0);
            ALUz:       out std_logic;
            ALUout:     out std_logic_vector(15 downto 0));
end alu;
-------------------------------------------------------
architecture behv of alu is
signal alu_tmp: std_logic_vector(15 downto 0);
begin
      process(num_A, num_B, ALUs)
      begin
            case ALUs is
              when "00" => alu_tmp <= num_A;
              when "01" => alu_tmp <= num_B;
              when "10" => alu_tmp <= num_A + num_B;
              when "11" => alu_tmp <= num_A - num_B;
              when others =>
          end case;
      end process;
      process(jpsign, alu_tmp)
      begin
            if (jpsign = '1' and alu_tmp = ZERO) then
                  ALUz <= '1';
            else  ALUz <= '0';
            end if;
      end process;
      ALUout <= alu_tmp;
end behv;
-------------------------------------------------------
```

۱. جمع - ضرب - تفریق

۲. جمع - انتقال - تقسیم

۳. جمع - ضرب - تقسیم

۴. جمع - انتقال - تفریق



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳

**۲۱- قطعه برنامه زیر بیانگر کدام گزینه می باشد؟**

```
entity xx  is
port(  xxin:        in std_logic_vector(15 downto 0);
       xxld:        in std_logic;
      dir_addr:     out std_logic_vector(15 downto 0);
       xxout:       out std_logic_vector(15 downto 0)
      );
end xx ;
-------------------------------------------------
architecture behv of xx  is
begin
  process( xxld,  xxin)
  begin
    if xxld = '1' then
      xxout <= xxin;
      dir_addr <= "00000000" & xxin(7 downto 0);
    end if;
  end process;
end behv;
-------------------------------------------------
```

۱. شمارنده برنامه ۲. ثبات دستورالعمل ۳. بافر خروجی ۴. انتخاب

**۲۲- قطعه برنامه زیر توصیف کننده کدام گزینه است؟**

```
Process (I0, I1, I2 ,sel
 begin
    case sel is
      when "00" => 0 < I0;
        when "01" => 0 < I1;
       when   "10"   => 0 < I2 ;
when "11" => 0 < I3;
       when others =>
     end case;
end process ;
```

۱. انکدر ۲. دیکدر ۳. مالتی پلکسر ۴. دی مالتی پلکسر

**۲۳- در مورد نرم افزار MAX + PLUS II کدام گزینه صحیح نیست؟**

۱. صرفنظر از شماتیک بودن یا به زبان VHDL بودن برای هر طرح می توان یک سنبل ایجاد نمود.

۲. امکان وارد نمودن طرح به صورت شماتیک میسر است.

۳. این نرم افزار فقط زبان های را AHDL , Verilog پشتیبانی می کند.

۴. دارای ویرایشگر شکل موج است که می تواند بردارهای تست را وارد نموده و نتایج شبیه سازی را فراهم کند.



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
خبرنامه اس ام اس
www.pnueb.com
دانلود حل المسائل
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار) ۱۱۱۵۲۱۳

**۲۴- کدام گزینه مسیر مربوط به تنظیم اختیارات بهینه سازی در نرم افزار MAX+PLUSII را ارائه می کند؟**

۱. MAX+PLUSII>Compiler
۲. Option>Grid size
۳. Assign >Global Project Logic Syntesis
۴. Assign >Device

**۲۵- کدام گزینه باعث بروز خطا در VHDL می باشد؟**

۱. نام فایل دقیقا بانام Entity مطابقت داشته باشد.
۲. نام پورت متفاوت از نام Entity انتخاب شود.
۳. فایل با پسوند پیش فرض ذخیره شود.
۴. نام فایل از حروف کوچک انتخاب شود.

## سوالات تشریحی

**۱- چهارروش ساخت سوئیچ های برنامه پذیر در FPGA را بنویسید ودو روش را توضیح دهید.** ۱،۴۰ نمره

**۲- قسمت architecture مربوط به خواندن محتوای ROM از فایل را بنویسید.** ۱،۴۰ نمره

**۳- چهار مورد از قوانین نام گذاری شناسه ها در VHDL را با ذکر مثال شناسه غیر معتبر مربوطه بنویسید.** ۱،۴۰ نمره

**۴- وظیفه ثبات IR نگهداری دستورالعمل است. برنامه ای برای ثبات دستورالعمل بنویسید.**
**سیگنال IRld جهت عمل بارگذاری و dir_addr را جهت برگرداندن بخش آدرس دستورالعمل در نظر بگیرید.** ۱،۴۰ نمره

**۵- برنامه توصیف رفتاری یک شمارنده n بیتی با با سر کنترل clear و count و clock را بنویسید.از دستور generic جهت مقداردهی به پارامتر n استفاده نمائید.** ۱،۴۰ نمره



www.pnueb.com

WWW*PNUEB*COM

# پاسخنامه نیمسال دوم ۹۳-۹۲

## کد درس :

۱۱۱۵۲۱۳

تهیه و تنظیم توسط تیم PNUEB

WWW.PNUEB.COM

| شماره سوال | جواب صحیح | وضعیت کلید |
|---|---|---|
| 1 | الف | عادی |
| 2 | ج | عادی |
| 3 | الف | عادی |
| 4 | د | عادی |
| 5 | ج | عادی |
| 6 | الف | عادی |
| 7 | د | عادی |
| 8 | ب | عادی |
| 9 | ب | عادی |
| 10 | ب | عادی |
| 11 | د | عادی |
| 12 | ج | عادی |
| 13 | الف | عادی |
| 14 | د | عادی |
| 15 | الف | عادی |
| 16 | ب | عادی |
| 17 | الف | عادی |
| 18 | ج | عادی |
| 19 | ج | عادی |
| 20 | د | عادی |
| 21 | ب | عادی |
| 22 | ج | عادی |
| 23 | ج | عادی |
| 24 | ج | عادی |
| 25 | ج | عادی |

| شماره سوال | جواب صحیح | وضعیت کلید |
|---|---|---|
| 26 | | |
| 27 | | |
| 28 | | |
| 29 | | |
| 30 | | |
| 31 | | |
| 32 | | |
| 33 | | |
| 34 | | |
| 35 | | |
| 36 | | |
| 37 | | |
| 38 | | |
| 39 | | |
| 40 | | |
| 41 | | |
| 42 | | |
| 43 | | |
| 44 | | |
| 45 | | |
| 46 | | |
| 47 | | |
| 48 | | |
| 49 | | |
| 50 | | |

WWW*PNUEB*COM

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیک پیام نور

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتاب درسی
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)۱۱۱۵۲۱۳

## سوالات تشریحی

۱- س ۱ ص ۶۵ ف ۳ — ۱،۴۰ نمره

۲- فصل۴ ص ۱۷۲ — ۱،۴۰ نمره

۳- ف ۴ ص ۱۱۴ — ۱،۴۰ نمره

۴- ۵- فصل ۵ صفحه ۲۴۷ — ۱،۴۰ نمره

۵- ف ۵ ص ۱۹۸ — ۱،۴۰ نمره

WWW*PNUEB*COM



www.pnueb.com

# نمونه سوال امتحانی تابستان ۹۲

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

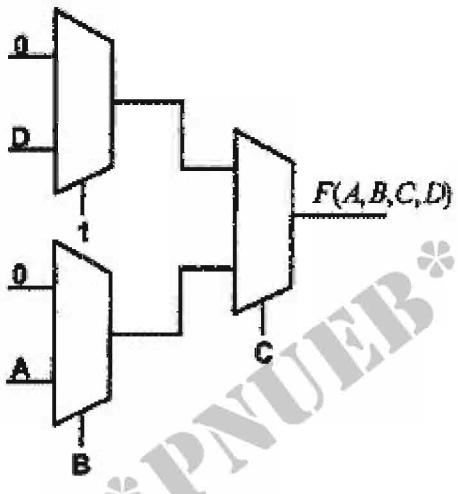
**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

استفاده از ماشین حساب مهندسی مجاز است

**۱- کدام گزینه بیانگر ویژگی طراحی با استفاده از تراشه های استاندارد، در مقایسه با تراشه های قابل برنامه ریزی است؟**

۱. امنیت طرح در مقابل کپی برداری بیشتر است.
۲. تست مدار آسان تر است.
۳. هزینه ساخت ونگهداری بیشتری دارد.
۴. سرعت سیستم بیشتر است.

**۲- بر اساس ساختار مبتنی بر انتخاب کننده ها *(MUX)*، کدام تابع را،پیاده سازی می کند؟**




۱. F(A,B,C,D) =CD+AB'C'
۲. F(A,B,C,D) = AB'C'
۳. F(A,B,C,D) = AB'C
۴. F(A,B,C,D) =C'D+ABC

**۳- در صورتیکه A= "10010110" نتیجه دستور زیر کدام گزینه است؟**

**A srl -2**

۱. A srl 2
۲. A sll 2
۳. دستور معتبر نیست.
۴. "10010110"

**۴- کدام گزینه بیانگر توضیح صحیحی ازدستور مربوطه می باشد؟**

۱. دستور Basic Loop شرط تکرار ندارد و بطور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.
۲. دستور While Loop برای اجرای مکرر تعدادی دستورالعمل متوالی استفاده می گردد.
۳. دستور Loop شرط تکرار را بررسی می کند، اگر شرط درست بود حلقه تکرار می شود.
۴. دستور wait از باقیمانده دستورات داخل loop پرش می کند.



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش

تعداد سوالات : تستی : ۲۵ تشریحی : ۵ | زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰ | سری سوال : ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۵- در کدام گزینه زمانبندی رخداد و برای XOR نمودن X و Y به درستی بیان شده است ؟

۱. $S <= x \quad XOR \quad y \quad delay \; 5ns;$

۲. $S <= x \quad XOR \quad y \quad after \; 5ns;$

۳. $S <= y \quad OR \quad s \quad after \; 5ns;$

۴. هیچکدام

۶- کدام گزینه در مورد شبیه سازها صحیح نمی باشد؟

۱. شبیه ساز برنامه ای است که یک توصیف انتزاعی از طرح را به صورت پویا به اجرا در می آورد.

۲. شبیه ساز منطقی طرح را به صورت یک سری دروازه های منطقی بهم متصل شده مدل می کند.

۳. شبیه ساز زمانی طرح را به صورت واقعی تر و با در نظر گرفتن تأخیر ها مدل می کند.

۴. یک شبیه ساز نشان می دهد که مدار سیم بندی شده یک طرح درست کار می کند یا خیر.

۷- کدام گزینه در مورد کامپایلر صحیح نیست؟

۱. partitioner : تقسیم بندی طرح خیلی بزرگ که در یک تراشه جا نشود.

۲. database Builder : ترکیب اطلاعات همه فایل ها در یک پایگاه داده جهت دسترسی سریع به اطلاعات.

۳. filter عمل جایگذاری و مسیر دهی را انجام می دهد . اطلاعات مربوط به میزان استفاده و محل پایه ها در فایلی با پسوند rat ذخیره می شود.

۴. Timing Analyzer تولید اطلاعات برنامه ریزی تراشه را به عهده دارد و آنها را در یک یا چند فایل با پسوند pof قرار می دهد.

۸- کدام گزینه از مدارات برنامه پذیر نیست؟

۱. ROM ۲. PROM ۳. FPGA ۴. PLD

۹- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

یک ..... از تعداد زیادی ..... تشکیل شده است و مولد های تابع منطقی مهمترین عناصر برنامه ریزی ..... ها هستند.

۱. CLB - FPGA - CLB

۲. CLB - FPGA - FPGA

۳. FPGA - CLB - CLB

۴. FPGA - CLB - FPGA

۱۰- شناسه غیر معتبر کدام گزینه است؟

۱. D10 ۲. f_10 ۳. My_gate1 ۴. gate-input



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش
Payam Noor University Ebook PNUeb کتابخانه الکترونیکی پیام نور

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

**۱۱- کدام گزینه جزء مدلسازی ساختاری نمی باشد؟**

۱. اعلان لیستی شامل مولفه هائی که در مدار استفاده می شود.

۲. سیگنالها و مولفه ها در قسمت component تعریف می شوند.

۳. معرفی سیگنالهائی که شبکه اتصالی بین مولفه هارا تشکیل می دهند.

۴. به هر نمونه از هر مولفه، یک برچسب یکتا تعلق گیرد.

**۱۲- قطعه برنامه زیرچه کیتی را توصیف می کند؟**

```
architecture test is
  signal state: std_logic;
  signal input: std_logic_vector(1 downto 0)
begin
input <= a&b;
p:process(clock,reset) is
begin
   if(reset='1')then;
     state <='0';
   elsif(rising_edge(clock)) then
     case(input)is
       when   "11"   =>
         state <=  not state;
       when    "10"   =>
         state <= '1';
       when "01"   =>
         state <= '0';
       when others =>
          null;
      end case;
    end if;
end process;
Q <= state
Qbar <= not state
```

۱. ثبات دو بیتی ۲. R-S فیلیپ فلاپ ۳. J-K فیلیپ فلاپ ۴. شمارنده دو بیتی

**۱۳- قطعه کد زیر در کدام ساختار VHDL می توان استفاده شود؟**

```
IF  a > b  then
return a;
else
returnb;
end  if ;
```

۱. process ۲. generic ۳. function ۴. procedure



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
خبرنامه اس ام اس
www.pnueb.com
دانلود حل المسائل
دانشگاه پیام نور
مرکز آزمون وسنجش



**۱۴- برنامه زیر را در نظر بگیرید و بگوئید با کدام گزینه معادل است ؟**

```
ARCHITECTURE ram OF ram4 IS
        TYPE vector_array IS ARRAY (0 TO words-1) OF
        STD_LOGIC_VECTOR (bits-1 DOWNTO 0);
      SIGNAL memory :vector_array;
BEGIN
      PROCESS (CLK, wr_ena)
      BEGIN
          IF (wr_ena = '0') THEN
              bidir <= memory (addr);
          ELSE
            bidir <= (OTHERS => 'Z');
            IF (clk 'EVENT AND CLK = '1') THEN
                memory (addr) <= bidir;
       END IF;
    END IF;
END PROCESS;
END ram;
```

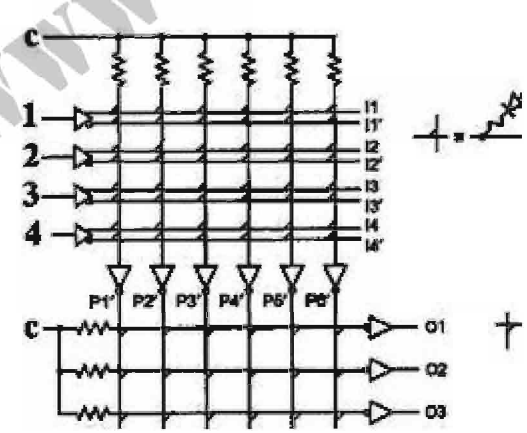
۱. RAM با گذرگاه ورودی / خروجی دو طرفه

۲. RAM دو درگاهه

۳. RAM با ورودی و خروجی مجزا

۴. آشکار ساز توالی بیت (امیتر)

**۱۵- شکل زیر بیانگر کدام گزینه می باشد؟**




۱. مدار داخلی GAL20V8

۲. درشت سلول منطقی با خروجی تثبیت شده مربوط به GAL22V10

۳. درشت سلول منطقی با خروجی ترکیبی مربوط به GAL22V10

۴. ساختار PLAدوقطبی



www.pnueb.com

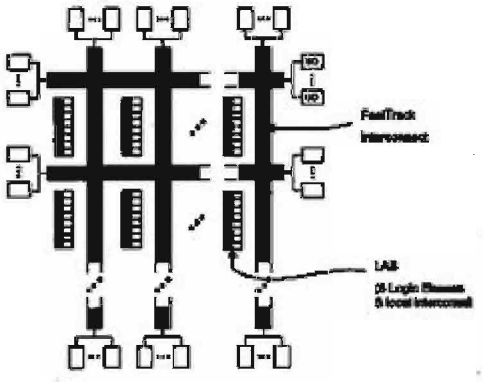
Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
خبرنامه اس ام اس www.pnueb.com دانلود حل المسائل
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۱۶- شکل زیر ساختار کدام گزینه را ارائه می کند ؟




۱. شمای کلی PPGAهای شرکت Actel

۲. ساختار خانواده Pasic مربوط به شرکت Quicklogic

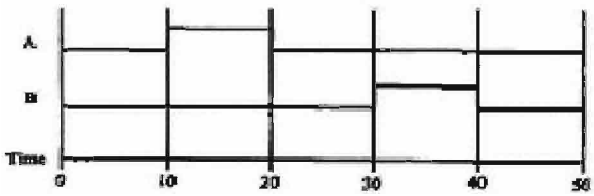
۳. ساختار کلی FLEX 8000 مربوط به شرکت Altera

۴. ساختار یک PFUمربوط به شرکت AT&T

۱۷- توصیف VHDL ونمودار زمانی ورودی و خروجی شکل زیر مربوط به کدام گزینه است؟

```
LIBRARY IEEE;
USE IEEE.std_logic_1164.ALL;
-------------------------------
ENTITY delay_line IS
PORT ( a : IN std_logic;
       b : OUT std_logic );
END delay_line;
-------------------------------
ARCHITECTURE delay_line OF delay_line IS
BEGIN
    b <= TRANSPORT a AFTER 20 ns;
END delay_line;
-------------------------------
```




۱. ۲۰ ثانیه تاخیر انتقال ۲. ۲۰ثانیه تاخیر لختی ۳. ۱۰ثانیه تاخیر انتقال ۴. ۳۰ثانیه تاخیر لختی



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



**۱۸- مزیت ۱۶V8S در مقایسه با ۱۶V8C چیست؟**

۱. هزینه ساخت ۱۶V8S کمتر از هزینه ۱۶V8C است.

۲. ۱۶V8S مدار ترتیبی است ولی ۱۶V8C مداری ترکیبی است.

۳. ۱۶V8S قابل برنامه ریزی مجدد است ولی ۱۶V8C قابل برنامه ریزی مجدد نیست.

۴. به ازای هر دروازه OR؛ ۸ دروازه AND در مقابل ۷ دروازه دارد.

**۱۹- در کدام یک از حالات زیر هریک از مولد های تابع F و G به عنوان یک SRAM با خطوط آدرس مستقل و ورودی** write-data **مستقل مشترک استفاده می شوند؟**

۱. دو تا SRAM با ظرفیت 16*1

۲. یک SRAM دو درگاهه16*1

۳. یک SRAM با ظرفیت 32*1

۴. سنکرون یا آسنکرون

WWW.PNUEB.COM



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود خلاصه دروس
کتابخانه الکترونیکی دانشگاه پیام نور
دانلود کتاب درسی
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



**۲۰**- برنامه زیر کدام عبارت را توصیف می کند؟

```
LIBRARY ieee ;
USE ieee.std_logic_1164.all ;

ENTITY Test IS
PORT ( w : IN STD_LOGIC_VECTOR(1 DOWNTO 0) ;
    y : OUT STD_LOGIC_VECTOR(0 TO 3) ) ;
END Test;

ARCHITECTURE Behavior OF Test IS
BEGIN
  WITH W SELECT
    y <= “1000" WHEN “00",
       “0100" WHEN “01",
       “0010" WHEN “10",
       “0001" WHEN “11",
       “0000" WHEN OTHERS ;
END Behavior ;
```

۱. یک دیکدر ۲ به ۴

۲. یک مالتی پلکسر ۴ به ۱

۳. یک شمارنده ۴ بیتی پایین شمار

۴. یک شمارنده ۴ بیتی بالا شمار

WWW.PNUEB.COM



www.pnueb.com

Payam Noor University Ebook
PNUeb
کتابخانه الکترونیکی پیام نور
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ **سری سوال :** ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

**۲۱- برنامه زیر را در نظر بگیرید و بگوئید با کدام گزینه معادل است ؟**

```
ARCHITECTURE ram OF ram4 IS
        TYPE vector_array IS ARRAY (0 TO words -1) OF
         STD_LOGIC_VECTOR (bits -1 DOWNTO 0);
       SIGNAL memory :vector_array;
BEGIN
      PROCESS (CLK, wr_ena)
      BEGIN
           IF (wr_ena = '0') THEN
               bidir <= memory (addr);
          ELSE
             bidir <= (OTHERS => 'Z');
             IF (clk 'EVENT AND CLK = '1') THEN
                memory (addr) <= bidir;
        END IF;
     END IF;
END PROCESS;
END ram;
```

۱. RAM با گذرگاه ورودی / خروجی دو طرفه
۲. RAM دو درگاهه
۳. RAM با ورودی و خروجی مجزا
۴. آشکار ساز توالی بیت (امیتر)

**۲۲- با توجه به عبارت زیر گزینه صحیح را انتخاب کنید؟**

Variable: A bit _ vector :="101001";

A sla 2 = ?

۱. 011010
۲. 100100
۳. 100111
۴. 100110

**۲۳- کدام گزینه باعث بروز خطا در VHDL می گردد؟**

۱. نام فایل دقیقا بانام Entity مطابقت داشته باشد.
۲. فایل با پسوند پیش فرض ذخیره شود.
۳. نام پورت متفاوت از نام Entity انتخاب شود.
۴. نام فایل از حروف کوچک انتخاب شود.

**۲۴- در زبان VHDL عبارت غلط در مورد دستور Loop کدام گزینه می باشد؟**

۱. شناسه identifier شمارنده حلقه است وفقط داخل حلقه تعریف می شود و نیازی به تعریف جداگانه ندارد.
۲. Next در دستور Loop باعث می شود،باقیمانده دستورات داخل Loop رها شده و تکرار بعدی Loop اجرا شود.
۳. دستور For-Loop یک شرط تکرار را بررسی می کند،اگر شرط درست بود حلقه تکرار می شود در غیر اینصورت حلقه رها شده و اجرا متوقف می شود.
۴. دستور Basic Loop شرط تکرار ندارد،به طور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

**۲۵- کدام گزینه بیان غلطی از تفاوتهای کلیدی GAL22V10 با 20V8R را ارائه می کند؟**

۱. در حالت ترتیبی GAL22V10 دارای ۷ جمله ضربی است اما GAL20V8R دارای ۸جمله ضربی می باشد.

۲. در حالت ترکیبی کنترل خروجی، برای GAL22V10 با یک جمله ضربی انجام می شود ولی برای GAL20V8R با یک خط کنترل سراسری انجام می شود.

۳. در GAL22V10 یک جمله ضربی سیگنال Resetسراسری را به صورت آسنکرون کنترل می کند اما GAL20V8R سیگنال Resetندارد.

۴. در GAL22V10 یک جمله ضربی سیگنال Presetسراسری را به صورت سنکرون تولید می کند اما GAL20V8R سیگنال Preset ندارد.

## سوالات تشریحی

**۱- الگوی برنامه ریزی PLA را برای ایجاد توابع صفر و یک با رسم شکل توضیح دهید؟** ۱.۴۰ نمره

**۲- شش مورد ازمزایای استفاده از مدارات کد پذیرنسبت به روش طراحی سنتی را به اختصار توضیح دهید.** ۱.۴۰ نمره

**۳- تفاوت متغیر و سیگنال را شرح دهید؟** ۱.۴۰ نمره

**۴- درمورد مقایسه آرایه های منطقی قابل برنامه ریزی (PLA) با منطق آرایه ای قابل برنامه ریزی (PAL) ، توضیح داده و همچنین دو نوع منطق آرایه ای قابل برنامه ریزی (PAL) را فقط نام ببرید.** ۱.۴۰ نمره

**۵- در یک PLA کوچک ۳×۴ بارسم مدار برای الگوی برنامه ریزی، سه تابع زیر را پیاده سازی نمایید.** ۱.۴۰ نمره

$$Q1 = I1.I2 + I1' + I2' + I3' + I4'$$
$$Q2 = I1.I3' + I1'.I3.I4 + I2$$
$$Q3 = I1.I2 + I1.I3' + I1'.I2'.I4'$$



www.pnueb.com

# نمونه سوال امتحانی نیمسال اول ۹۲-۹۱

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش



۱- در نمودار Y کدام گزینه جزء حوزه های طراحی نیست؟

۱. فناوری ۲. رفتاری ۳. ساختاری ۴. فیزیکی

۲- کدام گزینه ویژگی نادرستی درمورد PAL16L8 و PAL های دیگر ارائه می نماید؟

۱. PAL16L8 دارای صفحه AND ثابت بوده و ۷ دروازه OR به طور دائمی به هر دروازه AND وصل است.

۲. بسته به نحوه برنامه ریزی ،شش تا از خروجی هاکه I/O نامیده شده اند،می توانند به عنوان ورودی نیز استفاده شوند.

۳. اگر دروازه فعال ساز خروجی به طور ثابت صفر برنامه ریزی شود، پین I/O صرفاورودی خواهد بود.

۴. دروازه فعال ساز خروجی می تواند به طور ثابت یک برنامه ریزی شود و خروجی همواره فعال باشد.

۳- کدام گزینه، جملات زیر را به طور صحیح، کامل می کند؟

مهمترین موردی که درباره دیاگرام منطقی GAL 16V8C باید به آن توجه شود این است که در مقایسه با PAL16L8 یک گیت ---------بین خروجی هر -------- و بافر سه حالته خروجی قرار گرفته است. یکی از ورودی های XOR به مقدار ---------- PULL UP شده، ولی بوسیله یک فیوز به زمین وصل شده است.

۱. OR - XOR - یک منطقی ۲. XOR - OR - یک منطقی

۳. OR - XOR - صفر منطقی ۴. XOR - OR - صفر منطقی

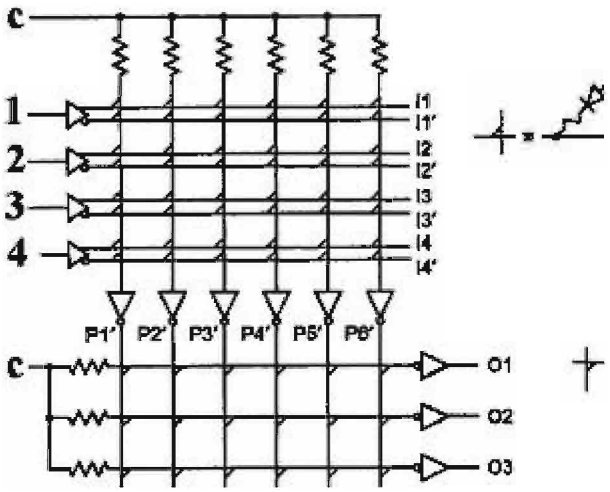


www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



۴- شکل زیر بیانگر کدام گزینه می باشد؟




۱. ساختار PLA دوقطبی

۲. مدار داخلی GAL20V8

۳. درشت سلول منطقی با خروجی تثبیت شده مربوط به GAL22V10

۴. درشت سلول منطقی با خروجی ترکیبی مربوط به GAL22V10

۵- کدام گزینه از انواع FPGA بر اساس آرایش بلوک های منطقی برنامه پذیر نمی باشد؟

۱. ساختار مبتنی بر جدول جستجو (LUT)

۲. آرایه متقارن

۳. ساختار سطری

۴. PLD سلسله مراتبی



www.pnueb.com

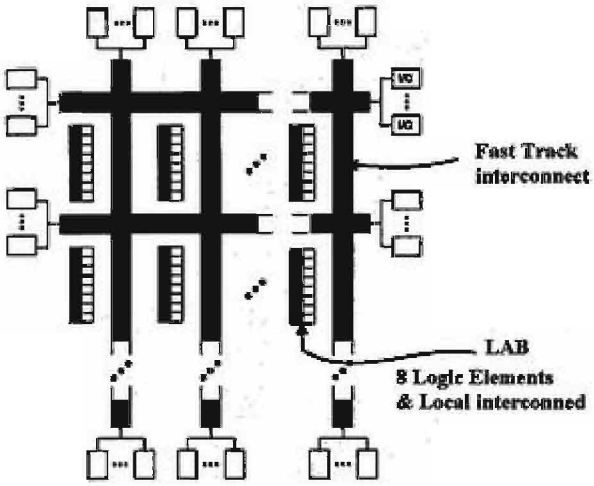
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
www.pnueb.com
دانلود حل المسائل خبرنامه اس ام اس
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

**۶- شکل زیر ساختار ارائه کننده چیست ؟**




۱. ساختار کلی FLEX 8000 مربوط به شرکت Altera

۲. ساختار خانواده Pasic مربوط به شرکت Quicklogic

۳. شمای کلی PPGA های شرکت Actel

۴. ساختار یک PFU مربوط به شرکت AT&T

**۷- کدام گزینه بیان غلطی از سوئیچ های قابل برنامه ریزی (PSE) ارائه می کند؟**

۱. هر PSE محل تلاقی شش رشته سیم است.

۲. PSE امکان اتصال هر دو سیم دلخواه از سیمهای ورودی خود را فراهم می کند.

۳. بدون وجود PSM ها ( ماتریس سوئیچ های قابل برنامه ریزی)اتصال CLB هائی که در یک سطر یا یک ستون نیستند ،امکان پذیز نخواهد بود.

۴. عبور سیگنال از PSM ها باعث ایجاد تاخیر می گردد.

**۸- کدام گزینه در مورد VHDL صحیح نیست؟**

۱. VHDL امکان مدل کردن تاخیر دروازه ها را ندارد.

۲. VHDL یک زبان مبتنی بر رخداد است و همروندی دستورات یکی از خصوصیات مهم آن است.

۳. در VHDL امکان استفاده از دستورات ترتیبی وجود دارد.

۴. با استفاده از VHDL می توان سیستمهای دیجیتال را با دو نگرش رفتاری و ساختاری توصیف نمود.


www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش

تعداد سوالات : تستی : ۲۵ تشریحی : ۵ | زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰ | سری سوال : ۱ یک

عنـــوان درس: طراحی خودکارمدارهای دیجیتال

رشته تحصیلی/کد درس: مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۹- کدامیک از اسامی زیر برای نام entity مناسب است ؟

۱. 2AND ۲. _OR4 ۳. Mybook14 ۴. AND

۱۰- کدام شناسه در VHDL معتبر نیست؟

۱. Gate-input ۲. X10 ۳. X_10 ۴. My_gate1

۱۱- کدام گزینه بیان غلطی در مورد انواع داده در VHDL ارائه می کند؟

۱. انواع scaler ترتیب ندارند و نمی توان از عملگرهای رابطه ای در مورد آنها استفاده نمود.

۲. نوع مجموعه مقادیری که شیئ داده ای می تواند داشته باشدرا، تعریف می کند.

۳. نوع مجموعه عملیاتی که روی شیئ داده ای مجاز است را، تعریف می کند.

۴. یک نوع شمارشی شامل لیستی از کاراکترها یا شناسه هائی است که برای نوشتن مدل ها در سطوح انتزاعی بسیار مفید است.

۱۲- کدام گزینه جمله زیر را به درستی کامل می کند؟

در VHDL تبدیل بین انواعی که اصالتا از یک نوع هستند، امکان پذیر..... انواع شمارشی ..... تبدیل شوند.

۱. است - نمی توانند ۲. نیست - نمی توانند ۳. است - می توانند ۴. نیست - می توانند

۱۳- با توجه به خصیصه های آرایه در VHDL، مقادیر برگردانده برای هر خصیصه، به ترتیب کدام گزینه است؟

```
type MYARR8x4 is array (8 downto 1, 0 to 3) of boolean;
type MYARR1 is array (-2 to 4) of integer;

MYARR1'left      returns : ?
MYARR1'right     returns : ?
MYARR1'high      returns : ?
MYARR1'reverse_range  returns : ?
```

۱. 4 downto -2, 4, 4, -2 ۲. 4 downto -2, 4, 4, 8

۳. 8 downto 1, 4, 4, 8 ۴. 8 downto 1, 4, -2, 4



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش



۱۴- کدام گزینه بیان صحیحی در مورد دستور شرط در VHDL ارائه می کند؟

۱. دستور basic loop شرط تکرار ندارد، به طور پیوسته اجرا می شود تا به دستور exit یا next برسد.

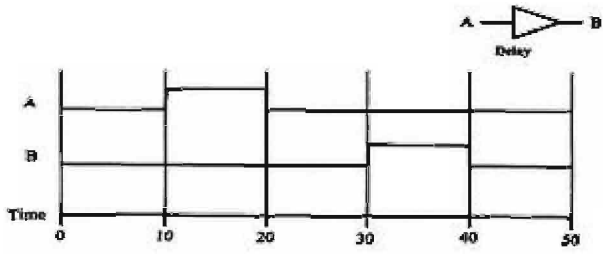
۲. دستور IF بر اساس مقدار یک عبارت، یکی از چند دستور متوالی را اجرا می کند.

۳. دستور Case ترتیب اجرای دستورات ترتیبی را بر اساس شرط معین می کند.

۴. دستور while-loop یک شرط تکرار را بررسی می کند، اگر شرط درست بود، حلقه رها شده و اجرا متوقف می شود.

۱۵- توصیف VHDL و نمودار زمانی ورودی و خروجی شکل زیر مربوط به کدام گزینه است؟

```
-------------------------
LIBRARY IEEE;
USE IEEE.Std_logic_1164.ALL;
-------------------------
ENTTY delay_line IS
PORT (a:IN std_logic;
      b:OUT std_logic);
END delay_line;
-------------------------
ARCHITECTURE delay_line OF delay_line IS
BEGIN
b <=TRANSPORT a AFTER 20 ns;
END delay_line;
-------------------------
```




۱. ۲۰ نانو ثانیه تاخیر انتقال
۲. ۲۰ نانو ثانیه تاخیر لختی
۳. ۱۰ نانو ثانیه تاخیر انتقال
۴. ۱۰ نانو ثانیه تاخیر لختی


www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
خبرنامه اس ام اس www.pnueb.com دانلود حل المسائل
دانشگاه پیام نور
مرکز آزمون وسنجش



۱۶- توصیف زیر مربوط به کدام گزینه است؟

```
library ieee;
use ieee.std_logic_1164.all;
---------------------------------

entity  XXX     is
port( x: in std_logic;
      y: in std_logic;
      F: out std_logic
);
end   XXX ;
---------------------------------
architecture behv1 of    XXX   is
begin
    process(x, y)
    begin
        -- compare to truth table
        if (x='1' and y='1') then
          F <= '0';
      else
          F <= '1';
      end if;
    end process;
end behv1;
```

۱. NAND دو ورودی ۲. NOR دو ورودی ۳. XOR دو ورودی ۴. XNOR دو ورودی



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
خبرنامه اس ام اس www.pnueb.com دانلود حل المسائل
دانشگاه پیام نور مرکز آزمون وسنجش



**۱۷- برنامه زیر را در نظر بگیرید و بگوئید با کدام گزینه معادل است ؟**

```
ARCHITECTURE ram OF ram4 IS
        TYPE vector_array IS ARRAY (0 TO words -1)OF
        STD_LOGIC_VECTOR (bits -1 DOWNTO 0);
      SIGNAL memory :vector_array;
BEGIN
      PROCESS (CLK, wr_ena)
      BEGIN
            IF(wr_ena = '0')THEN
                  bidir <= memory (addr);
            ELSE
                bidir <= (OTHERS => 'Z');
                IF(clk 'EVENT AND CLK = '1')THEN
                    memory (addr) <= bidir;
       END IF;
     END IF;
END PROCESS;
END ram;
```

۱. RAM با گذرگاه ورودی / خروجی دو طرفه
۲. RAM دو درگاهه
۳. RAM با ورودی و خروجی مجزا
۴. آشکار ساز توالی بیت (امیتر)

**۱۸- توصیف زیر مربوط به کدام گزینه است؟**

**برنامه مربوط به این سوال در پیوست می باشد.**

۱. RAMبا ۱۶ کلمه ۸ بیتی
۲. RAMبا ۸ کلمه ۱۶ بیتی
۳. ROMبا ۱۶ کلمه ۸ بیتی
۴. ROMبا ۸ کلمه ۱۶ بیتی

**۱۹- با توجه به عبارت زیر گزینه صحیح را انتخاب کنید؟**

**Variable: A bit _ vector :="101001";**

**A sll 2 = ?**

۱. ۰۱۱۰۱۰
۲. ۱۰۰۱۰۰
۳. ۱۰۰۱۱۱
۴. ۱۰۰۱۱۰



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش
www.pnueb.com



۲۰- توصیف زیر مربوط به کدام گزینه است؟

برنامه مربوط به این سوال پیوست می باشد.

۱. ثبات دستورالعمل ۲. شمارنده برنامه ۳. انتخاب کننده ۴. ALU

۲۱- توصیف زیر مربوط به کدام گزینه است؟

برنامه مربوط به این سوال در پیوست می باشد.

۱. Memory ۲. Data-path
۳. Ctrl-unit ۴. Microprocessor

۲۲- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

بهترین روش برای ساخت نمونه اولیه، درطرح های متوسط و پیچیده ..... می باشد.

۱. استفاده از مدارات برنامه پذیر ۲. استفاده از روش تمام سفارشی
۳. استفاده از روش نیمه سفارشی ۴. استفاده از قطعات استاندارد

۲۳- عملگرهای sll ، rem، ror در زبان VHDL را به درستی بیان می کند؟

۱. شیفت منطقی به چپ با صفر - باقیمانده - چرخش به راست
۲. شیفت حسابی به راست با ورودی بیت سمت چپ صفر- توان - شیفت منطقی به چپ با صفر
۳. شیفت حسابی به چپ با صفر - شیفت منطقی به راست با ورودی بیت سمت چپ صفر - چرخش به راست
۴. شیفت منطقی به راست با ورودی بیت سمت چپ صفر- مدول - شیفت منطقی به چپ با صفر

۲۴- کدام گزینه جزء مدارات برنامه پذیر نیست؟

۱. ROM ۲. PLD ۳. ROMP ۴. FPGA

۲۵- کدام گزینه جمله زیر در زبان VHDL را به درستی کامل می کند؟

برای دستور انتساب سیگنال انتخابی، choice ها ..... همپوشانی داشته باشند. درصورت وجود یک انتخاب others ،تمام حالات choice_expression ..... با مجموعه choice ها پوشش داده شود.

۱. نباید - باید ۲. نباید - نباید ۳. باید - باید ۴. باید - نباید

## سوالات تشریحی

۱- در مورد چگونگی استفاده EPLD از ترانزیستورهای MOS با گیت شناور توضیح دهید. ۱.۴۰ نمره



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش



۲- مزایا و معایب FPGA در مقابل MPGA را مختصرا توضیح دهید. ۱.۴۰ نمره

۳- با زبان VHDL تابعی (function) بنویسید که بررسی کند، آیا مقدار value در محدوده min و max هست یا خیر و در نهایت مقدار (value) را محدود شده به دو مقدار بالا و پائین برگرداند. ۱.۴۰ نمره

۴- توصیف یک D فلیپ فلاپ با ورودی کلاک را، به زبان VHDL بنویسید. ۱.۴۰ نمره

۵- چهار مورد از ابزارهای $MAX + PLUS$ II را نام برده، توضیح دهید. ۱.۴۰ نمره

## برنامه مربوط به سوال ۱۸

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
ENTITY    aaa  Is
GENERIC ( bits: INTEGER := B;
words: INTEGER := 16)
PORT  ( clk, wr_ena: IN STD_LOGIC;
addr: IN INTEGER RANGE 0 To words-1;
bidir: INouT sTniLoG1c_vEc1oR (bits-1 DCWNTO 0));
END ;
ARCHITECTURE bbb of aaa Is
TYPE vector array IS ARRAY (0 TO words-1) OF
     STD_LOGIC_VECTOR (bits-1 DOWNTO 0);
SIGNAL memory: vector_array;
BEGIN
PROCESS (Clk, wr_ena)
BEGIN
     If (wr_ena='0') THEN
          bidir <= memory(addr);
     ELSE
```



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
خبرنامه اس ام اس www.pnueb.com دانلود حل المسائل
دانشگاه پیام نور مرکز آزمون وسنجش



```
            bidir <= (OTHERS => 'z');
            IF (clk'event AND clk='1') THEN
                  Memory(array) <= bidir;
            END IF;
      ENE If;
END PROCESS;
END bbb;
```

---

## برنامه مربوط به سوال ۲۰

```
entity xx is
      port( xxin: in std_logic_vector(15 downto 0);
            xxld: in std_logic;
            dir_addr: out std_logic_vector(15 downto 0)
            xxout: out std_logic_vector(15 downto 0)
      );
end xx;
architecture behv of xx is
begin
      process(xxld, xxin)
      begin
            if xxld = '1' then
                  xxout <= xxin;
                  dir_addr <= "00000000" & IRin(7 downto 0);
            end if;
      end process;
end behv;
```

## برنامه مربوط به سوال ۲۱



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
www.pnueb.com دانلود حل المسائل خبرنامه اس ام اس
دانشگاه پیام نور مرکز آزمون وسنجش



```
component aaa is
port ( clock   :ln std_logic;
     rst   :ln std_logic;
     Mre   :ln std_logic;
     Mwe   :ln std_logic;
     Address    :ln std_logic_vector(7 downto 0);
     Data_in    :ln std_logic_vector(15 downto 0);
     Data_out   :out std_logic_vector(15 downto 0));
end Component;
signal    addr _bus,mdin_bus, mdout_bus, lnmd_bus, rfout_bus:
               std_logic_vector(15 downto 0);
signal    mem_addr: std_logic_vector(7 downto 0);
signal    RFwa_s, RFr1a_s, RFr2a_s:     std_logic_vector(3 downto 0);
signal    RFwe_s, RFr1e_s, RFr2e_s:     std_logic;
signal    ALUs_s, RFs_s: std_logic_vector(1 downto 0);
signal    IRld_s, PCld_s, PCinc_s, PCclr_s:  std_logic;
signal    Mre_s, Mwe_s, jpz_s, oe_s,:   std_logic;
begin
     mem_addr <= addr_bus(7 downto 0);
     Unit0: ctrl_unit port map(cpu_clk, cpu_rst, PCld_s,
                         mdout_bus, rfout_bus, addr_bus,
                         immd_bus, RFs_s, RFwa_s, RFr1a_s,
                         RFr2a_s, RFwe_s, RFr1e_s, Rfr2e_s,
                         Jpz_s, ALU_s, Mre_s, Mwe_s, oo_s);
     unit1: datapath port map(cpu_clk, cpu_rst, immd_bus,
                         mdout_bus, RFs_s, RFwa_s, RFr1a_s,
                         RFr2a_s, RFwe_s, RFr1e_s, RFr2e_s,
```


www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
www.pnueb.com دانلود حل المسائل خبرنامه اس ام اس
دانشگاه پیام نور مرکز آزمون وسنجش



```
                    Jpz_s, ALU_s, oe_s, PCld_s, `
                    rfout_buS, mdin_bus, cpu_output);
Unit2:          port map(cpu_clk, cpu_rst, MRE_S,
                    Mwe_s, mem_addr, mdin_bus, mdout_bus);
```



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com

| شماره سوال | پاسخ صحیح | وضعیت کلید |
|---|---|---|
| 1 | الف | عادي |
| 2 | الف | عادي |
| 3 | الف | عادي |
| 4 | الف | عادي |
| 5 | الف | عادي |
| 6 | الف | عادي |
| 7 | الف | عادي |
| 8 | الف | عادي |
| 9 | ج | عادي |
| 10 | الف | عادي |
| 11 | الف | عادي |
| 12 | الف | عادي |
| 13 | الف | عادي |
| 14 | الف | عادي |
| 15 | الف | عادي |
| 16 | الف | عادي |
| 17 | الف | عادي |
| 18 | الف | عادي |
| 19 | ب | عادي |
| 20 | الف | عادي |
| 21 | الف | عادي |
| 22 | الف | عادي |
| 23 | الف | عادي |
| 24 | الف | عادي |
| 25 | الف | عادي |

www.pnueb.com

# نمونه سوال امتحانی نیمسال دوم ۹۱-۹۰

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش

تعداد سوالات : تستی : ۲۵ تشریحی : ۵ | زمان آزمون (دقیقه) : تستی : ۶۰ تشریحی : ۶۰ | سری سوال : ۱

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

استفاده از ماشین حساب مهندسی مجاز است

**۱- کدام گزینه بهترین روش در طرح های متوسط وپیچیده برای ساخت نمونه اولیه می باشد؟**

۱. روش نیمه سفارشی
۲. استفاده از قطعات استاندار
۳. استفاده از قطعات برنامه پذیر
۴. روش تمام سفارشی

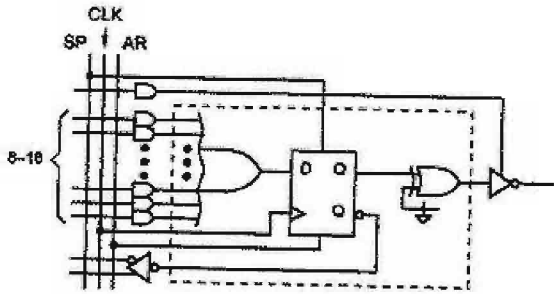
**۲- کدام گزینه از مدارات برنامه پذیر نیست؟**

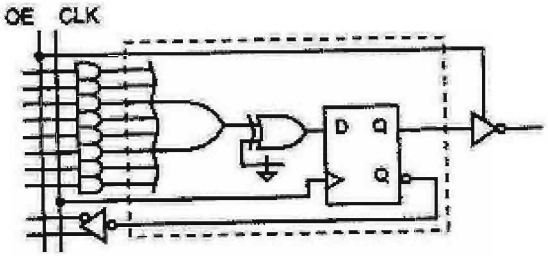
۱. ROM
۲. PROM
۳. PLD
۴. FPGA

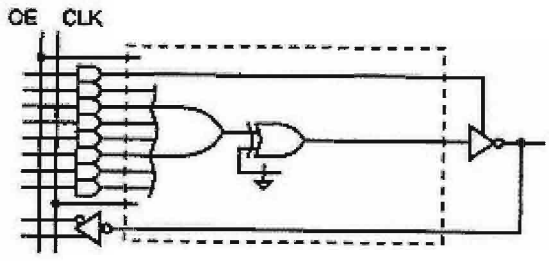
**۳- کدام گزینه از PAL های ترتیبی تقلید می کند؟**

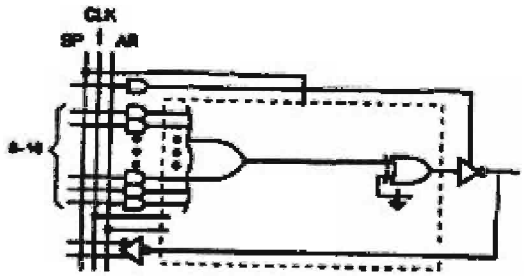
۱. ۱۶V8C
۲. ۱۶V8S
۳. ۱۶V8R
۴. ۱۶V8S، 16V8R

**۴- کدام گزینه مربوط به درشت سلول منطقی(ماکروسل) با خروجی ترکیبی مربوط به GAL22V10 است؟**

۱.



۲.



۳.



۴.



**۵- کدام گزینه از انواع FPGA بر اساس ساختار منابع اتصالی نیست؟**

۱. با استفاده از آنتی فیوز
۲. با استفاده از فیوز
۳. با استفاده از دیود
۴. یک سری ترانزیستور که به وسیله EPROM کنترل می شود.



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اس
دانشگاه پیام نور
مرکز آزمون وسنجش



۶- کدام گزینه از کاربردهای FPGA است؟

مورد اول : جایگزینی تراشه های VLSI

مورد دوم : ساخت نمونه اولیه

موردسوم : مدارات مجتمع با کاربرد خاص

مورد چهارم : سخت افزارهای قابل پیکربندی مجدد درجا

۱. همه موارد
۲. همه موارد بجز مورد اول
۳. همه موارد بجز مورد چهارم
۴. فقط مورد اول و چهارم

۷- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

یک ..... از تعداد زیادی ..... تشکیل شده است و مولد های تابع منطقی مهمترین عناصر برنامه ریزی ..... ها هستند.

۱. CLB - CLB - FPGA
۲. CLB - FPGA - CLB
۳. CLB - FPGA - FPGA
۴. FPGA - CLB - FPGA

۸- کدام گزینه بیان غلطی در مورد VHDL ارائه می کند؟

۱. توصیف جریان داده ، بر اساس انتقال داده بین ثبات ها انجام می شود.
۲. VHDL می تواند دستورات ترتیبی را به ترتیب نوشتن آنها اجرا کند .
۳. VHDL امکان توصیف سیستم دیجیتال را در هر دو حوزه رفتاری و ساختاری ارائه می دهد.
۴. مدل ساختاری دو نوع است که عبارتند از:جریان داده والگوریتمی

۹- کدام بیان در مورد entity گزینه غلطی را بیان می کند؟

۱. تعریف entity با کلمه رزرو شده entity شروع می شود.
۲. بخش entity در VHDL شامل یک نام برای entity ولیست ورودی و خروجی ها است.
۳. NAME_OF_ENTITY : شناسه ای است که لازم است توسط کاربر انتخاب گردد.
۴. در entity از کلمه رزرو شده port برای مشخص کردن ارتباطات بین entity ودنیای خارج آن استفاده می شود.

۱۰- کدام از گزینه های زیر از مزایای استفاده از مدارات برنامه پذیر می باشد؟

۱. هزینه ساخت و نگهداری کمتر
۲. سهولت تست مدار
۳. استفاده مجدد از کتابخانه ها
۴. همه موارد



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



۱۱- شناسه غیر معتبر کدام گزینه است؟

۱. Gate-input ۲. D10 ۳. f_10 ۴. My_ gate1

۱۲- در مورد دستورات شرطی کدام گزینه غلط است؟

۱. دستور exit از روی باقیمانده دستورات loop پرش کرده واجرای برنامه را از دستور بعداز loop ادامه می دهد.

۲. دستور Basic-Loop شرط تکرار ندارد،بطور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.

۳. دستور While-Loop برای جاهائی که تعداد دفعات تکرار با یک integer شمارش می شود،بکار می رود.

۴. دستور next باقیمانده دستورات تکرار جاری حلقه را رها کرده و به تکرار بعدی حلقه می رود.

۱۳- کدام مورد جزو مدلسازی ساختاری می باشد؟

**مورد اول : سیگنال ها و مولفه ها در قسمت component تعریف می شوند.**

**مورد دوم : اعلان لیستی شامل مولفه هائی که در مدار استفاده می شود.**

**مورد سوم : معرفی سیگنال هائی که شبکه اتصالی بین مولفه ها را تشکیل می دهند.**

**مورد چهارم : به هر نمونه از هر مولفه، یک برچسب یکتا تعلق گیرد.**

۱. مورد اول ۲. همه موارد بجز مورد اول

۳. مورد سوم ۴. همه موارد بجز مورد سوم

۱۴- کدام گزینه عبارت زیر در مورد تاخیر در VHDL را به طور صحیح کامل می کند؟

**..... برای مدل کردن تاخیر خطوط سیمی در بردها و المانهای تاخیر در مدارات و تاخیر مسیر سیگنالها در داخل ICها استفاده می شود.**

۱. تاخیر ترکیبی ۲. تاخیر لختی ۳. تاخیر سیگنالینگ ۴. تاخیر انتقال

۱۵- گزینه غلط را مشخص کنید.

۱. در خواندن فایل برای تشخیص اینکه آخرین عنصر فایل خوانده شده یا خیر،می توان از finish file استفاده نمود.

۲. یک فایل در زبان VHDL یک کلاس از شیئ است که برای ذخیره داده ها استفاده می شود.

۳. پروسیجر شامل یک سری دستورات برای انجام یک کار است .

۴. تابع(فانکشن)شامل یک سری از دستورات جهت محاسبه یک مقدار است.



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش



۱۶- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity xxxxxxxx  is
port( x: in std_logic;
      y: in std_logic;
      F: out std_logic
      );
end xxxxxxxx ;
-------------------------------------
architecture behv1 of  xxxxxxxx  is
begin
    process(x, y)
    begin
        -- compare to truth table
      if (x='0' and y='0') then
            F <= '1';
      else
          F <= '0';
      end if;
    end process;
end behv1;
-------------------------------------
```

۱. NAND دو ورودی ۲. NOR دو ورودی ۳. OR دو ورودی ۴. AND دو ورودی

۱۷- کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

در توصیف طرح به زبان VHDL بخش ------ برای تعریف درگاه های ورودی خروجی مدار استفاده می شود.

۱. entity ۲. architecture ۳. process ۴. inout



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش



۱۸- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity q   is
Prot(data _ in:  in std_ logic
        clock:   in std_ logic;
          data _ out:   out std_ logic;
end q;

arachitecture  behave  of q   is
Begin
    Process (data _ in, clock)
    Begin
         If (clock='1' and clock'event) then
              data _ out <= data _ in;
               end if;

     End process
End behv;
```

۱. مالتی پلکسر ۲. معکوس کننده(NOT) ۳. بافر ۴. فلیپ فلاپ D



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
www.pnueb.com
دانلود حل المسائل خبرنامه اس ام اس
دانشگاه پیام نور
مرکز آزمون وسنجش



۱۹- قطعه برنامه زیر مربوط به کدام گزینه است؟

```
entity   xxxxxxx    is
port( num1, num2: in std_logic_vector(1 downto 0);
      product:    out std_logic_vector(3 downto 0));
end   xxxxxxx    ;
-------------------------------------------------------
architecture behv of   xxxxxx    is
begin
process(num1, num2)
  variable num1_reg: std_logic_vector(2 downto 0);
  variable product_reg: std_logic_vector(5 downto 0);
begin
  num1_reg := '0' & num1;
  product_reg := "0000" & num2;
--use variables doing computation
--algorithm is to repeat shifting/adding
  for i in 1 to 3 loop
    if product_reg(0)='1' then
        product_reg(5 downto 3):= product_reg(5 downto 3)
                                  + num1_reg(2 downto 0)
    end if;
    product_reg(5 downto 0):='0' & product_reg(5 downto 1)
  end loop;
--assign the result of computation back to output signal
  product <= product_reg(3 downto 0);
end process;
end behv;
-------------------------------------------------------
```

۱. دی مالتی پلکسر ۱ به ۴

۲. مالتی پلکسر ۴ به ۱

۳. ضرب کننده دو بیتی

۴. شیفت رجیستر ۴ بیتی



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش



۲۰- قطعه برنامه زیر بیانگر کدام گزینه است؟

```
ARCHITECTURE  p  IS
   TYPE vector_array IS ARRAY (0 TO words-1) OF STD_LOGIC_VECTOR   (bits-1
DOWNTO 0);
ONSTANT memory: vector_array := ("10000000",
"01000000",
"00100000",
"00010000",
"00001000",
"00000100",
"00000010",
"00000001",
"10000000");
BEGIN
    Process (Enable, Read, Addr)
    Begin
       If  Enable = '1' then
           if ( Read = '1') then
                Data <= memory ( addr ) ;
           else Data <= "zzzzzzzz" ;
            end if ;
       else Data <= "zzzzzzzz" ;
       end if ;
    end process ;
    end      ;
```

۱. مالتی پلکسر ۸ به ۱
۲. حافظه فقط خواندنی(ROM)
۳. دی مالتی پلکسر ۱ به ۸
۴. دیکدر ۳ به ۸

۲۱- در کدام یک از حالات زیر هریک از مولد های تابع F و G به عنوان یک SRAM با خطوط آدرس مستقل و ورودی write_ data مستقل مشترک استفاده می شوند؟

۱. دو تا SRAM با ظرفیت 16*1
۲. یک SRAM دو درگاهه16*1
۳. یک SRAM با ظرفیت 32*1
۴. سنکرون یا آسنکرون


www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور مرکز آزمون وسنجش



**۲۲- قطعه برنامه زیر بیانگر کدام گزینه می باشد؟**

```
entity mm is
port( mmin:       in std_logic_vector(15 downto 0);
      mmld:       in std_logic;
      dir_addr:   out std_logic_vector(15 downto 0);
      mmout:      out std_logic_vector(15 downto 0)
      );
end mm;
-------------------------------------------------
architecture behv of mm is
begin
  process( mmld, mmin)
  begin
    if mmld = '1' then
      mmout <= mmin;
      dir_addr <= "00000000" & mmin(7 downto 0);
    end if;
  end process;
end behv;
-------------------------------------------------
```

۱. ثبات دستورالعمل ۲. شمارنده برنامه ۳. انتخاب کننده ۴. بافر خروجی

**۲۳- کدام گزینه در نرم افزار MAX+PLUSII امکان وارد کردن طرح ازطریق نمودار زمانی و همچنین وارد کردن بردارهای تست و مشاهده نتایج شبیه سازی را فراهم می کند؟**

۱. ویرایشگر گرافیکی ۲. ویرایشگر شکل موج ۳. ویرایشگر پایه ها ۴. ویرایشگر سمبل

**۲۴- کدام گزینه مسیر مربوط به تنظیم اختیارات بهینه سازی در نرم افزار MAX+PLUSII را ارائه می کند؟**

۱. Option>Grid size ۲. Assign >Device

۳. MAX+PLUSII>Compiler ۴. Assign >Global Project Logic Syntesis

**۲۵- کدام گزینه باعث بروز خطا در VHDL می باشد؟**

۱. نام پورت متفاوت از نام Entity انتخاب شود. ۲. نام فایل (دقیقاً) بانام Entity مطابقت داشته باشد.

۳. فایل با پسوند پیش فرض (غیر VHD) ذخیره شود. ۴. نام فایل از حروف کوچک انتخاب شود.

## سوالات تشریحی

**۱- درمورد مقایسه FPGA و CPLD چهار مورد را به اختصار توضیح دهید.** ۱.۴۰ نمره



www.pnueb.com

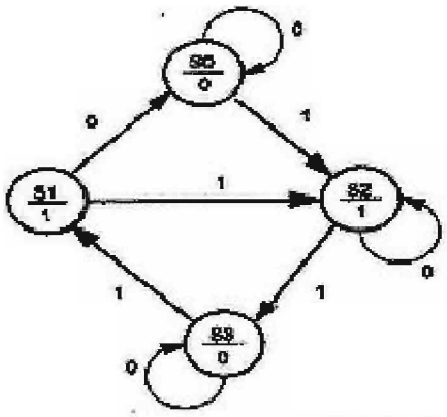
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش



۲- با توجه به دستور Case قسمت architecture مربوط به بررسی مقدار سیگنالی با نام GRADES را بنویسیدکه اگر مقدار GRADES بین ۵۱ تا ۶۰ باشد خروجی D ، اگر مقدار GRADES بین ۶۱ تا ۷۵ باشد خروجی C ، اگر مقدار GRADES بین ۷۶ تا ۸۵ باشد خروجی B ، اگر مقدار GRADES بین ۸۶ تا ۱۰۰ باشد خروجی A یک شود.در غیر اینصورت خروجی F مقدار یک می گیرد. ۰.۹۳ نمره

۳- قسمت architecture مربوط به خواندن محتوای ROM از فایل را بنویسید. ۱.۸۷ نمره

۴- توصیف رفتاری ماشینی با جدول و نمودار حالت به صورت زیر را بنویسید. ۱.۴۰ نمره




| حالت فعلی | حالت بعدی | | خروجی |
|---|---|---|---|
| | X=0 | X=1 | z |
| S0 | S0 | S2 | 0 |
| S1 | S0 | S2 | 1 |
| S2 | S2 | S3 | 1 |
| S3 | S3 | S1 | 0 |

شکل ۵-۱)جدول و نمودار حالت ماشین مور

۵- درمورد مقایسه آرایه های منطقی قابل برنامه ریزی (PLA) با منطق آرایه ای قابل برنامه ریزی (PAL) ، توضیح داده و همچنین دو نوع منطق آرایه ای قابل برنامه ریزی (PAL) را فقط نام ببرید. ۱.۴۰ نمره



www.pnueb.com

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

**عنـــوان درس:** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس:** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

## سوالات تشریحی

**۱-** فصل ۳ ص ۶۴ : ۱،۴۰ نمره

**۲-** ۳ - فصل۴ ص ۱۴۵ ۰،۹۳ نمره

**۳-** ۴ - فصل۴ ص ۱۷۲ ۱،۸۷ نمره

**۴-** ۵ - فصل۵ ص ۱۹۹ ۱،۴۰ نمره

**۵-** - فصل ۲ ص ۳۵ و ۳۹ و۴۰و۴۳ : ۱،۴۰ نمره



www.pnueb.com

# نمونه سوال امتحانی نیمسال اول ۹۱-۹۰

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
حضرت علی(ع): ارزش هر کس به میزان دانایی و تخصص اوست
دانشگاه پیام نور مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** یک ۱

**درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

**۱- کدام یک از گزینه های زیر از مزایای استفاده از مدارات برنامه پذیر می باشد؟**

۱. هزینه ساخت و نگهداری کمتر
۲. سهولت تست مدار
۳. استفاده مجدد از کتابخانه ها
۴. همه موارد

**۲- کدام گزینه در مورد شبیه سازها صحیح نمی باشد؟**

۱. شبیه ساز برنامه ای است که یک توصیف انتزاعی از طرح را به صورت پویا به اجرا در می آورد.
۲. شبیه ساز منطقی طرح را به صورت یک سری دروازه های منطقی بهم متصل شده مدل می کند.
۳. شبیه ساز زمانی طرح را به صورت واقعی تر و با در نظر گرفتن تأخیر ها مدل می کند.
۴. یک شبیه ساز نشان می دهد که مدار سیم بندی شده یک طرح درست کار می کند یا خیر.

**۳- در ..... نگاشت از توصیف انتزاعی تر به توصیف جزئی تر و نزدیکتر به شکل نهایی است که پیاده سازی به آن فرم صورت می گیرد.**

۱. ابزار سنتز
۲. شبیه ساز
۳. VHDL
۴. فلوچارت

**۴- کدام یک از حافظه های زیر فقط یک بار قابل برنامه ریزی می باشند؟**

۱. PROM
۲. EPROM
۳. EEPROM
۴. EEPROM و EPROM

**۵- PAL چیست؟**

۱. یک مدار سه سطحی AND و OR است.
۲. یک مدار دو سطحی است که طبقه AND آن قابل برنامه ریزی و طبقه OR آن ثابت است.
۳. یک مدار سه سطحی با NAND و AND است.
۴. یک مدار دو سطحی است که طبقه OR و AND آن قابل برنامه ریزی است.

**۶- مزیت ۱۶V8S در مقایسه با ۱۶V8C چیست؟**

۱. هزینه ساخت ۱۶V8S کمتر از هزینه ۱۶V8C است.
۲. ۱۶V8S مدار ترتیبی است ولی ۱۶V8C مداری ترکیبی است.
۳. ۱۶V8S قابل برنامه ریزی مجدد است ولی ۱۶V8C قابل برنامه ریزی مجدد نیست.
۴. به ازای هر دروازه OR؛ ۸ دروازه AND در مقابل ۷ دروازه دارد.

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اس
حضرت علی(ع): ارزش هر کس به میزان دانایی و تخصص اوست



**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

**۷- در مورد یک PAL اگر دروازه فعال ساز خروجی به طور ثابت صفر برنامه ریزی شود کدام عبارت زیر صحیح است؟**

۱. پین I/O صرفاً خروجی خواهد بود.
۲. پین I/O صرفا ورودی خواهد بود.
۳. پین I/O بر اساس شرایط ورودی- خروجی خواهد شد.
۴. یک باز خورد داریم.

**۸- MPGA از FPGA کاراتر است زیرا :**

۱. **سرعت MPGA از FPGA بیشتر است.**
۲. **چگالی MPGA از FPGA کمتر است.**
۳. **MPGA قابلیت برنامه ریزی مجدد را دارد.**
۴. **MPGA از انعطاف پذیری بیشتری برخوردار است.**

**۹- واحد های تابعی برنامه پذیر(PFU) را در کدام یک از حالت های زیر می توان برنامه ریزی کرد؟**

۱. بصورت یک عدد ۶- LUT
۲. به صورت چهار عدد ۵- LUT
۳. به صورت سه عدد ۳- LUT
۴. به صورت دو عدد ۲- LUT

**۱۰- در کدام یک از حالات زیر هریک از مولد های تابع F و G به عنوان یک SRAM با خطوط آدرس مستقل و ورودی write-data مستقل مشترک استفاده می شوند؟**

۱. دو تا SRAM با ظرفیت 16*1
۲. **یک SRAM دو درگاهه16*1**
۳. یک SRAM با ظرفیت 32*1
۴. سنکرون یا آسنکرون

**۱۱- سوئیچ های برنامه پذیر با استفاده از کدام روش زیر ساخته می شوند؟**

۱. با استفاده از فیوز
۲. با استفاده از گیت های AND
۳. با استفاده از ROM
۴. با استفاده از RAM

**۱۲- تعریف زیر کدام یک از انواع سوئیچ SRAM را نشان می دهد؟**

**"یک ترانزیستور که یک رشته سیم را به دو بخش تقسیم کرده و در صورتیکه ترانزیستور روشن شود یک سیم یک تکه خواهیم داشت"**

۱. نقطه تقاطع
۲. نقطه شکست
۳. انتخاب کننده
۴. همه سویه

**۱۳- کدام گزینه در مورد زبان VHDL صحیح نمی باشد؟**

۱. زبان VHDL فاصله های اضافی و شکستن سطر به چند سطر را نادیده می گیرد.
۲. در زبان VHDL یک سیستم دیجیتال در بالاترین سطح شامل یک ENTITY است.
۳. زبان VHDL به حروف کوچک و بزرگ حساس است.
۴. در زبان VHDL از کلمات کلیدی به عنوان نام سیگنال می توان استفاده کرد.

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
حضرت علی(ع): ارزش هر کس به میزان دانایی و تخصص اوست



**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

**۱۴- با توجه به عبارت زیر گزینه صحیح را انتخاب کنید؟**

Variable: A bit _ vector :="101001";

A sla 2 = ?

۱. 011010 ۲. 100100 ۳. 100111 ۴. 100110

**۱۵- کدام یک از گزینه های زیر جزو عملگرهای جمع می باشد؟**

۱. ror ۲. rol ۳. abs ۴. &(الحاق)

**۱۶- حاصل 4 rem 11 و (-4) mod 7 کدام است؟**

۱. ۳و ۱- ۲. ۳-و ۱- ۳. ۳و۱ ۴. ۳-و ۱

**۱۷- این نوع تأخیر برای مدل کردن تأخیر خطوط سیمی در بردها و تأخیر مسیر سیگنالها در داخل IC استفاده می شود؟**

۱. تأخیر دلتا ۲. تأخیر انتقال ۳. تأخیر لختی ۴. تأخیر انتشار

**۱۸- با استفاده از کدام یک از دستورات زیر مدارات پارامتری ایجاد می شوند؟**

۱. architecture ۲. choice ۳. entity ۴. generic

**۱۹- این ویرایشگر ابزاری را برای وارد کردن بردارهای تست و مشاهده نتایج شبیه سازی را فراهم می کند؟**

۱. ویرایشگر گرافیکی ۲. ویرایشگر سمبل ۳. ویرایشگر پایه ۴. ویرایشگر شکل موج

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com
حضرت علی(ع): ارزش هر کس به میزان دانایی و تخصص اوست



**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۲۰- برنامه زیر کدام عبارت را توصیف می کند؟

```
LIBRARY ieee ;
USE ieee.std_logic_1164.all ;

ENTITY Test IS
PORT ( w : IN STD_LOGIC_VECTOR(1 DOWNTO 0) ;
    y : OUT STD_LOGIC_VECTOR(0 TO 3) ) ;
END Test;

ARCHITECTURE Behavior OF Test IS
BEGIN
  WITH W SELECT
    y <= “1000" WHEN “00",
       “0100" WHEN “01",
       “0010" WHEN “10",
       “0001" WHEN “11",
       “0000" WHEN OTHERS ;
```

۱. یک دیکدر ۲ به ۴
۲. یک مالتی پلکسر ۴ به ۱
۳. یک شمارنده ۴ بیتی پایین شمار
۴. یک شمارنده ۴ بیتی بالا شمار

۲۱- در entity از کدام کلمه رزرو شده برای مشخص کردن ارتباط بین entity و دنیای خارج استفاده می شود؟

۱. real
۲. case
۳. port
۴. on

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com
حضرت علی(ع): ارزش هر کس به میزان دانایی و تخصص اوست
دانشگاه پیام نور
مرکز آزمون وسنجش

**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

**۲۲- در بین عملگرهای منطقی عملگر ..... دارای بالاترین اولویت بوده و سایر عملگرها نسبت به هم دارای اولویت ..... هستند.**

۱. NOT - یکسان ۲. XOR - یکسان ۳. NOT - متفاوت ۴. XOR - متفاوت

**۲۳- از نظر منطقی، کدام گزینه توصیف صحیحی از یک تمام جمع کننده است؟**

۱. $sum\,(A \oplus B) \oplus C$ $Carry\,AB \oplus C(A \oplus B)$

۲. $sum\,(A \oplus B) \oplus C$ $carry\,AB + C(A \oplus B)$

۳. $sum\,(A + B) + C$ $Carry\,A + B \oplus C(A \oplus B)$

۴. $sum\,(A \oplus B) + C$ $Carry\,A + B \oplus C(A \oplus B)$

**۲۴- جدول حالت زیر کدام ماشین را نشان می دهد،**

| حالت فعلي | حالت بعدي | | خروجي | |
|---|---|---|---|---|
| | X=1 | X= 0 | X=1 | X=0 |
| $S_0$ | S2 | S0 | 1 | 0 |
| $S_1$ | S2 | S0 | 0 | 0 |
| $S_2$ | S3 | S2 | 0 | 1 |
| $S_3$ | S1 | S3 | 1 | 0 |

۱. ماشین میلی ۲. ماشین مور

۳. ماشین مور با ورودی ریست ۴. هیچکدام

**۲۵- اگر پروژه ای آنقدر بزرگ باشد که در یک تراشه جا نشود با استفاده از کدام بخش کامپایلر؛ برای قرار گرفتن طرح در چند بخش استفاده می شود ؟**

۱. partitioner ۲. fitter ۳. assembler ۴. خود کامپایلر

## سوالات تشریحی

**۱- الگوی برنامه ریزی PLA را برای ایجاد توابع صفر و یک با رسم شکل توضیح دهید؟** ۱.۷۵ نمره

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اس
حضرت علی(ع): ارزش هر کس به میزان دانایی و تخصص اوست



**تعداد سوالات : تستی :** ۲۵ **تشریحی :** ۵ | **زمان آزمون (دقیقه) : تستی :** ۶۰ **تشریحی :** ۶۰ | **سری سوال :** ۱ یک

**درس :** طراحی خودکارمدارهای دیجیتال

**رشته تحصیلی/کد درس :** مهندسی کامپیوتر(سخت افزار)چندبخشی۱۱۱۵۲۱۳

۲- تکنولوژیهای فیوز و آنتی فیوز را با یکدیگر مقایسه کنید؟ ۱،۱۷ نمره

۳- مدار تمام جمع کننده را با استفاده از دو نیم جمع کننده رسم کنید؟ ۱،۱۷ نمره

۴- یک دروازه معکوس کننده را به زبان VHDL توصیف کنید؟ ۱،۷۵ نمره

۵- برای جلوگیری از خطاهای گرامری در VHDL چه راهکارهایی وجود دارد؟ ۱،۱۶ نمره

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com

| شماره سوال | پاسخ صحیح | وضعیت کلید |
|---|---|---|
| 1 | د | عادي |
| 2 | د | عادي |
| 3 | الف | عادي |
| 4 | الف | عادي |
| 5 | ب | عادي |
| 6 | د | عادي |
| 7 | ب | عادي |
| 8 | الف | عادي |
| 9 | الف | عادي |
| 10 | الف | عادي |
| 11 | الف | عادي |
| 12 | ب | عادي |
| 13 | د | عادي |
| 14 | ج | عادي |
| 15 | د | عادي |
| 16 | الف | عادي |
| 17 | ب | عادي |
| 18 | د | عادي |
| 19 | د | عادي |
| 20 | الف | عادي |
| 21 | ج | عادي |
| 22 | الف | عادي |
| 23 | ب | عادي |
| 24 | الف | عادي |
| 25 | الف | عادي |

# نمونه سوال امتحانی نیمسال دوم ۹۰-۸۹

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com

استان:

دانشگاه پیام نور
مرکز آزمون

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵

**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

تنها با یاد اوست که دل‌ها آرام می‌گیرد.

۱ .کدام گزینه بیانگر ویژگی طراحی با استفاده از تراشه های استاندارد، در مقایسه با تراشه های قابل برنامه ریزی است.

الف. هزینه ساخت ونگهداری بیشتری دارد. ب . امنیت طرح در مقابل کپی برداری بیشتر است.

ج .سرعت سیستم بیشتر است. د . تست مدار آسان تر است.

۲ . کدام گزینه جمله زیر را به طور صحیح کامل می کند؟

PALنسبت به PLA.....

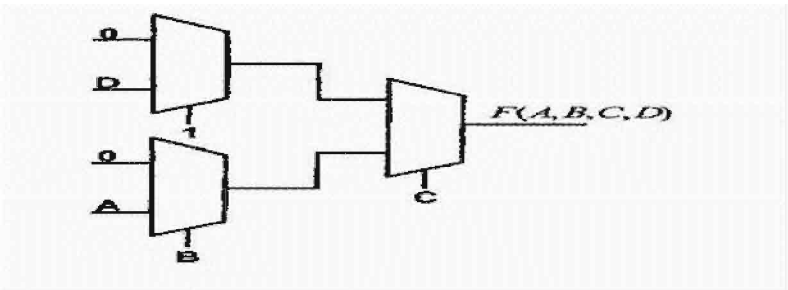
الف. هر دو طبقه ANDو ORقابل برنامه ریزی است.

ب. هزینه ساخت بالاتر دارد.

ج. سرعت پایین تر دارد.

د . فقط یک صفحه قابل برنامه ریزی دارد.

۳ . بر اساس ساختار مبتنی بر انتخاب کننده ها *(MUX)*، شکل مقابل، کدام تابع راپیاده سازی می کند؟




الف. F(A،B،C،D) =C'D+ABC

ب. F(A،B،C،D) =CD+AB'C'

ج F(A،B،C،D) = AB'C.

د. F(A،B،C،D) = C'D+ AB'C'

۴ .کدام گزینه جمله زیر را به طور صحیح کامل می کند؟ منطق آرایه ای قابل برنامه ریزی ترتیبی ( PAL۱۶R۸ - sequential PAL).....

الف . خروجی ثبت شده ندارد.

ب . خروجی فلیپ فلاپها نمی توانند بدون عبور از بافر های سه حالته وارد آرایه های ANDشوند.

ج. وقتی خروجی ها غیر فعال هستند فلیپ فلاپهای داخلی، نمی توانند تغییر وضعیت دهند.

د . یک سری D فلیپ فلاپ دارد که بین طبقه OR وهشت خروجی قرار گرفته است.

۵ . کدام گزینه جزء تکنولوژی های ساخت PLD ها نمی‌باشد.

الف. Bipolar PLD ب. E PLD ج. NMOS PLD د. CMOS PLD

۶ . کدام گزینه مقایسه غلط از FPGAو CPLDارائه می کند؟

الف. FPGA ها برای طراحی های فوق العاده پیچیده بکار می روند در حالی که CPLD هانمی توانند در این طراحی ها بکار روند.

ب. FPGA ها عموما مبتنی بر RAM و CPLDها مبتنی بر EEPROMهستند.

ج. به دلیل وجود تعداد بلوکها وگیت های کمتر، FPGAها دارای تاخیر انتشاری کمتری نسبت به CPLD ها می‌باشند .

د . سازماندهی بلوکهای برنامه پذیر در FPGA ها و CPLD ها تفاوت می کند.

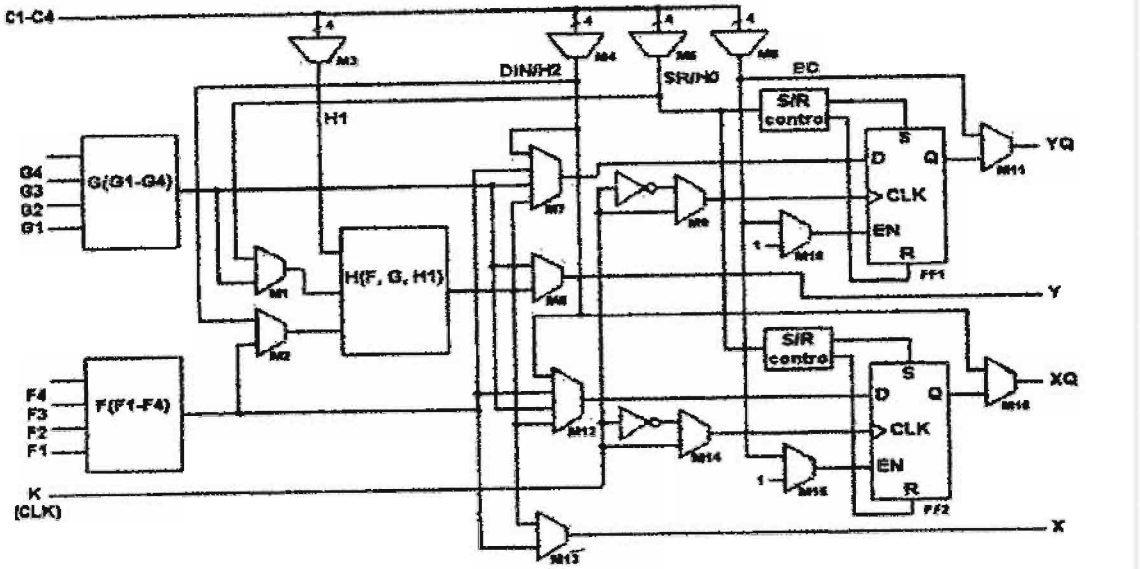
دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵
**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰
**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۷ .با توجه به شکل زیر که ساختمان داخلی یک CLBرا نشان می دهد. برنامه ریزی مولد های تابع Fو Gو Hبه کدام شکل غلط است؟




الف . یک تابع دلخواه چهار متغیره و یک تابع شش متغیره نه کاملا دلخواه با ورودی های مجزا

ب. دو تابع حداکثر چهار متغیره بعلاوه یک تابع دیگر حد اکثر سه متغیره که هر کدام از این سه تابع دارای ورودی های جداگانه هستند.

ج . برخی توابع حداکثر ۹ متغیره مانند بررسی توازن وتساوی برای چهار ورودی با قابلیت cascade.

د . فقط یک تابع دلخواه شش متغیره.

۸ . کدام گزینه درمورد زبان VHDL غلط است؟

الف. کلمات کلیدی و شناسه ها به نوع حروف (کوچک و بزرگ) حساس هستند.

ب. از کلمات کلیدی نمی توان به عنوان شناسه یا نام سیگنال استفاده نمود.

ج .VHDL فاصله های اضافی وشکستن سطربه چند سطر را نادیده می گیرد.

د . سطرهائی که فقط شامل توضیح است،با دو علامت خط ربط متوالی(--) شروع می شود.

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵
**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰
**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۹ . کدام گزینه مدار مربوط به توصیف زیر با زبان VHDL را بیان می کند؟

```
-------------------------------------------
Entity abcdefgh is
port ( x, y : in bit;
       S, CO: out bit);
end abcdefgh;
-------------------------------------------
architecture structural of abcdefgh is
-- Declarations
      component AND2
            port (in1, in2: in std_logic;
                  out1: out std_logic);
      end component;

      component XOR2
            port (in1, in2: in std_logic;
                  out1: out std_logic);
      end component;
-------------------------------------------
begin
-- Component instantiations statements
      U0: XOR2 port map (x, y, s);
      U1: AND2 port map (x, y, co);
end structural;
-------------------------------------------
```

الف. توصیف ساختاری نیم جمع کننده .
ب. توصیف هندسی نیم جمع کننده.
ج . توصیف هندسی تمام جمع کننده.
د. توصیف ساختاری تمام جمع کننده.

۱۰ . کدام گزینه شناسه غیر معتبری در زبان VHDLاست؟

الف. X۱۰ ب. x_۱۰ ج. My_gate۱ د. gate-input

۱۱ . کدام گزینه جمله زیر را به طور صحیح کامل می کند:

در زبان VHDLتبدیل بین انواعی از داده ها که از نوع ۰۰۰۰۰۰ هستند، امکان پذیر است وتبدیل بین انواع شمارشی امکان پذیر .....

الف . متفاوت - نیست. ب . یکسان - است.
ج. اصالتا متفاوت - است. د. اصالتا یکسان - نیست.

۱۲ . در صورتیکه "۱۰۰۱۰۱۱۰" =Aباشد نتیجه دستور روبرو کدام گزینه است؟ A srl -۲

الف. A sll ۲ ب. دستور معتبر نیست
ج. "۱۰۰۱۰۱۱۰" د. A srl ۲

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵
**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰
**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۱۳ . کدام گزینه بیانگر توضیح صحیحی ازدستور مربوطه می باشد؟

الف. دستور Basic Loopشرط تکرار ندارد و بطور پیوسته اجرا می شود تا به یک دستور exitیا nextبرسد.

ب. دستور Loopشرط تکرار را بررسی می کند، اگر شرط درست بود حلقه تکرار می شود.

ج. دستور waitاز باقیمانده دستورات داخل loop پرش می کند.

د. دستور While Loopبرای اجرای مکرر تعدادی دستورالعمل متوالی استفاده می گردد.

۱۴. کدام گزینه جمله زیر را به طور صحیح کامل می کند:

..... شامل یک سری دستور برای انجام یک کار است و.....شامل مجموعه ای از دستورات جهت محاسبه یک مقدار است.

الف. کتابخانه - پروسیجر
ب. کتابخانه - تابع
ج. پروسیجر - تابع
د. تابع - پروسیجر

۱۵ .کد زیر کدام گزینه را بصورت رفتاری مدل می کند؟

```
Entity test۱ is
Prot(d _ in: in std_ logic_ vector (۷downto۰);
      En: in std_ logic;
   d_ out std_ logic_ vector (۷downto۰));
End test۱;
Arachitecture behavior of test۱ is
Begin    Process (d_ in, en)
   Begin
      If en= '۱' then
        d_ out <= d_ in;
    Else
           d_out  <="zzzzzzzz" ;
   Endif;
   End processEnd behavior;
```

الف . دیکدر
ب . مالتی پلکسر
ج . بافر سه حالته
د . دی مالتی پلکسر

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵
**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰
**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۱۶ . قطعه برنامه زیرچه کیتی را توصیف می کند؟

```
architecture test is
  signal state: std_logic;
  signal input: std_logic_vector(۱ downto ۰);
begin
input <= a&b;
            p:process(clock,reset) is
begin
   if(reset='۱')then;
    state <='۰';
  elsif(rising_edge(clock)) then
     case(input)is
    when"۱۱"=>
        state <=  not state;
   when "۱۰"=>
      state <= '۱';
   when "۰۱"=>
        state <= '۰';
   when others =>
         null;
    end case;
  end if;
end process;
Q <= state;
Qbar <= not state;
End  behv;
```

الف. R-S

ب . ثبات دو بیتی

ج. شمارنده دوبیتی

د. J-K فیلیپ فلاپ

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

استان:

نام درس: طراحی خودکار مدارهای دیجیتال
تعداد سؤالات: تستی: ۲۵ تشریحی: ۵
رشته تحصیلی/ کُد درس: سخت افزار (تجمیع) -۱۱۱۵۲۱۳
زمان آزمون (دقیقه): تستی: ۶۰ تشریحی: ۶۰
کُد سری سؤال: یک(۱)
استفاده از: مجاز است.

۱۷ . برنامه زیر توصیف کدام گزینه است؟

```
architecture BEHAVIOR of MEALY is
     type STATE_TYPE is (S0, S1, S2, S3);
     signal CURRENT_STATE, NEXT_STATE: STATE_TYPE;
begin
-------------------------------------------------------
-- Process to hold combinational logic.
  COMBIN: process(CURRENT_STATE, X)
  begin
  case CURRENT_STATE is
  when S0 =>
       if X = '0' then
          Z <= '0';
          NEXT_STATE <= S0;
       else
          Z <= '1';
          NEXT_STATE <= S2;
       end if;
  when S1 =>
       if X = '0' then
          Z <= '0';
          NEXT_STATE <= S0;
       else
          Z <= '0';
          NEXT_STATE <= S2;
       end if;
  when S2 =>
       if X = '0' then
          Z <= '1';
          NEXT_STATE <= S2;
       else
          Z <= '0';
          NEXT_STATE <= S3;
       end if;
  when S3 =>
       if X = '0' then
          Z <= '0';
          NEXT_STATE <= S3;
       else
          Z <= '1';
          NEXT_STATE <= S1;
       end if;
end case;
end process COMBIN;
-------------------------------------------------------
-- Process to hold synchronous elements (flip-flops)
SYNCH: process
begin
  wait until CLOCK'event and CLOCK = '1';
  CURRENT_STATE <= NEXT_STATE;
end process SYNCH;
end BEHAVIOR;
-------------------------------------------------------
```

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی

دانشگاه پیام نور
مرکز آزمون

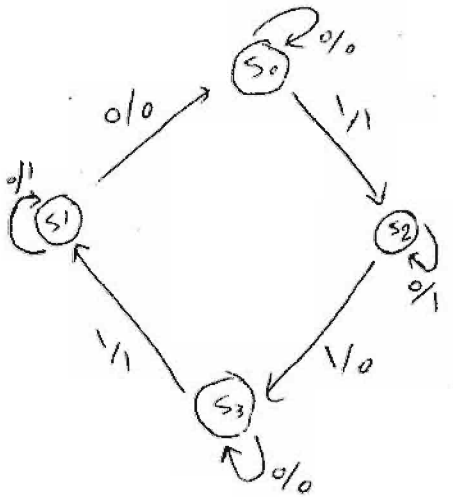
استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵

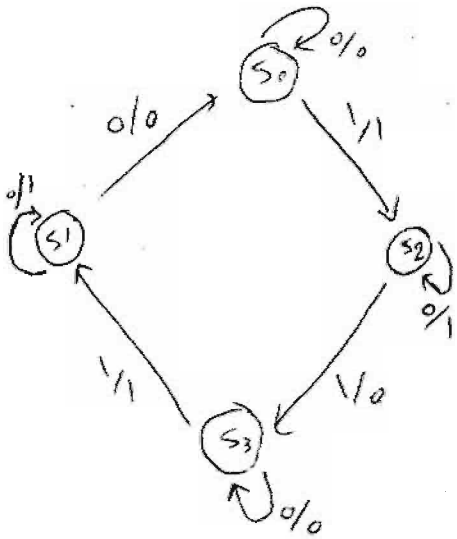
**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

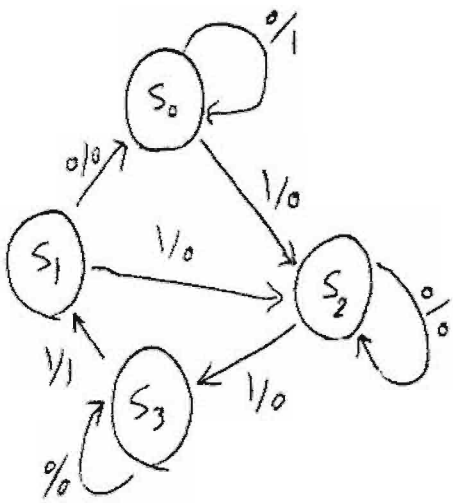
الف.



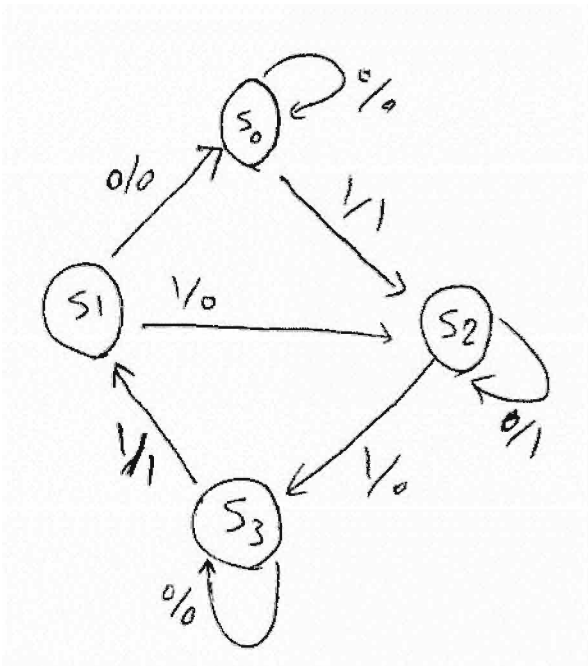

ب.




ج.




د.



دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس
www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵
**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰
**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۱۸ . قطعه برنامه زیر بیانگر کدام گزینه می باشد؟

```
ARCHITECTURE test IS
TYPE vector_array IS ARRAY (۰ TO words-۱) OF
        STD_LOGIC_VECTOR  (bits-۱ DOWNTO ۰);
         CONSTANT memory: vector_array := ("۱۰۰۰۰۰۰۰",
                                           "۰۱۰۰۰۰۰۰",
                                           "۰۰۱۰۰۰۰۰",
                                           "۰۰۰۱۰۰۰۰",
                                           "۰۰۰۰۱۰۰۰",
                                           "۰۰۰۰۰۱۰۰",
                                           "۰۰۰۰۰۰۱۰",
                                           "۰۰۰۰۰۰۰۱",
                                           "۱۰۰۰۰۰۰۰");
          BEGIN
   Process (Enable, Read, Addr)
  Begin
      If  Enable = '۱' then
if ( Read = '۱') then
Data <= memory ( addr ) ;
         else Data <= "zzzzzzzz" ;
     end if ;
    else Data <= "zzzzzzzz" ;
    end if ;     end process ;
  end     ;
```

الف. RAM دو درگاهه ۴*۴

ب. RAM با گذرگاه ورودی/ خروجی دو طرفه

ج. حافظه فقط خواندنی

د. RAM با ورودی خروجی مجزا

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل
www.pnueb.com خبرنامه اس ام اس

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵
**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰
**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۱۹ . برنامه زیر،توصیف رفتاری کدام گزینه است؟

```
-------------------------------------------------
library ieee ;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
-------------------------------------------------
entity abcde    is
generic(n: natural :=2);
port( clock:        in std_logic;
      clear:        in std_logic;
       test :       in std_logic;
      Q:            out std_logic_vector(n-1 downto 0)
      );
end abcde ;
-------------------------------------------------
architecture behv of abcde  is
    signal Pre_Q: std_logic_vector(n-1 downto 0);
begin
    -- behavior describe the abcde
    process(clock, test , clear)
    begin
      if clear = '1' then
          Pre_Q <= Pre_Q - Pre_Q;
      elsif (clock='1' and clock'event) then
          if test  = '1' then
            Pre_Q <= Pre_Q + 1;
          end if;
      end if;
    end process;
    -- concurrent assignment statement
    Q <= Pre_Q;
end behv;
-------------------------------------------------
```

الف. مقایسه کننده n بیتی ب. تفریق‌گر nبیتی ج. جمع‌کننده nبیتی د. شمارنده n بیتی

۲۰. کدام گزینه جمله زیر را به صورت صحیح کامل می کند.

در ماشین ..... مقدار ..... علاوه بر حالت فعلی به مقدار لحظه‌ای ..... نیز بستگی دارد.

الف. مور – ورودی – خروجی ب. میلی – ورودی – خروجی

ج .مور – خروجی – ورودی د. میلی – خروجی – ورودی

۲۱. کدام گزینه جمله زیر را به صورت صحیح کامل می کند.

هر طرح دیجیتال شامل یک واحد ..... ویک مسیر داده است.مسیر داده شامل واحد های ..... مانند ثباتها و واحدهای ..... مانند، ثبات انتقالی ومقایسه کننده می باشد.

الف. کنترل – ترکیبی – حافظه ب . ترکیبی – کنترل – حافظه

ج. حافظه – کنترل – ترکیبی د . کنترل – حافظه – ترکیبی

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل خبرنامه اس ام اسی
www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵

**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۲۲ . قطعه برنامه زیر،توصیف رفتاری کدام گزینه است؟

```
library IEEE;
use IEEE.std-_logic_-_١١٦٤.all;
use IEEE.std_-logic-_arith.all;
use IEEE.std-_logic-_unsigned.all;
entity abc is
port  ( rst, sline: in std_-logic;
     load ,resule: in std_-logic-_vector( ٣
     downto a );   output: out std-_logic-
     _vector( ٣ downto a );
end abc;

architect.ure efghiG of  abc is

begin
process( rst, sline, load, result)
 begin

if( rst = '١' ) then

output <= "٠٠٠٠";              --do nothing
elsif sltna = '٠') then
 output<= load;                --load inputs
else
output <= result;             -- load results
end if;
end process;
end  efghig;
```

الف . ثبات

ب . مقایسه کننده

ج. مالتی پلکسر

د . تفریق کننده

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب دانلود حل المسائل
خبرنامه اس ام اس www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵
**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰
**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۲۳. در برنامه زیر ALU چه اعمالی را انجام می‌دهد؟

```
-------------------------------------------------------------
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
use work.constant_lib.all;
-------------------------------------------------------------
entity alu is
port (      num_A:      in std_logic_vector(15 downto 0);
            num_B:      in std_logic_vector(15 downto 0);
            jpsign:     in std_logic;
            ALUs:       in std_logic_vector(1 downto 0);
            ALUz:       out std_logic;
            ALUout:     out std_logic_vector(15 downto 0));
end alu;
-------------------------------------------------------------
architecture behv of alu is
signal alu_tmp: std_logic_vector(15 downto 0);
begin
      process(num_A, num_B, ALUs)
      begin
            case ALUs is
              when "00" => alu_tmp <= num_A;
              when "01" => alu_tmp <= num_B;
              when "10" => alu_tmp <= num_A + num_B;
              when "11" => alu_tmp <= num_A - num_B;
              when others =>
          end case;
      end process;
      process(jpsign, alu_tmp)
      begin
            if (jpsign = '1' and alu_tmp = ZERO) then
                  ALUz <= '1';
            else  ALUz <= '0';
            end if;
      end process;
      ALUout <= alu_tmp;
end behv;
-------------------------------------------------------------
```

الف . جمع – ضرب – تقسیم

ب. جمع – انتقال – تفریق

ج. جمع – ضرب – تفریق

د. جمع – انتقال – تقسیم

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل خبرنامه اس ام اس
www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵

**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

۲۴ . کدام گزینه در مورد کامپایلر صحیح نیست؟

الف. filter عمل جایگذاری و مسیر دهی را انجام می دهد . اطلاعات مربوط به میزان استفاده و محل پایه ها در فایلی با پسوند rpt ذخیره می شود.

ب. Timing Analyzer تولید اطلاعات برنامه ریزی تراشه را به عهده دارد و آنها را در یک یا چند فایل با پسوند pof قرار می دهد.

ج. partitioner : تقسیم بندی طرح خیلی بزرگ که در یک تراشه جا نشود

د. database Builder : ترکیب اطلاعات همه فایل ها در یک پایگاه داده جهت دسترسی سریع به اطلاعات.

۲۵ . در مورد نرم افزار MAX + PLUS II کدام گزینه صحیح نیست؟

الف. امکان وارد نمودن طرح به صورت شماتیک میسر است.

ب . دارای ویرایشگر شکل موج است که می تواند بردارهای تست را وارد نموده و نتایج شبیه سازی را فراهم کند.

ج . این نرم افزار فقط زبان های را AHDL ، Verilog پشتیبانی می کند

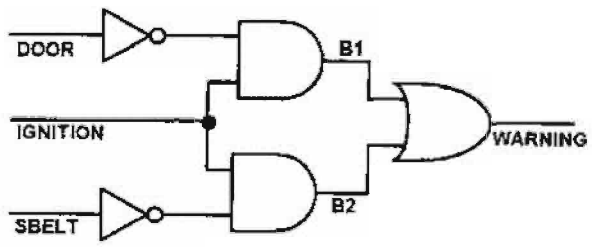
د . صرفنظر از شماتیک بودن یا به زبان VHDL بودن برای هر طرح می توان یک سنبل ایجاد نمود.

## سوالات تشریحی

۱. دو نوع سخت افزار برنامه پذیر FPGA و MPGA را با هم مقایسه کنید._(۱/۲۵ نمره)

۲. در مورد انواع سویچ مبتنی بر SRAM (نقطه شکست، نقطه تقاطع، انتخاب کننده و همه سویه) توضیح دهید(۱/۲۵ نمره)

۳. برنامه توصیف رفتاری و ساختار مدار مقابل را بنویسید؟( ۱/۲۵ نمره)




شماتیک مدار هشدار دهنده

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل خبرنامه اس ام اسی
www.pnueb.com

دانشگاه پیام نور
مرکز آزمون

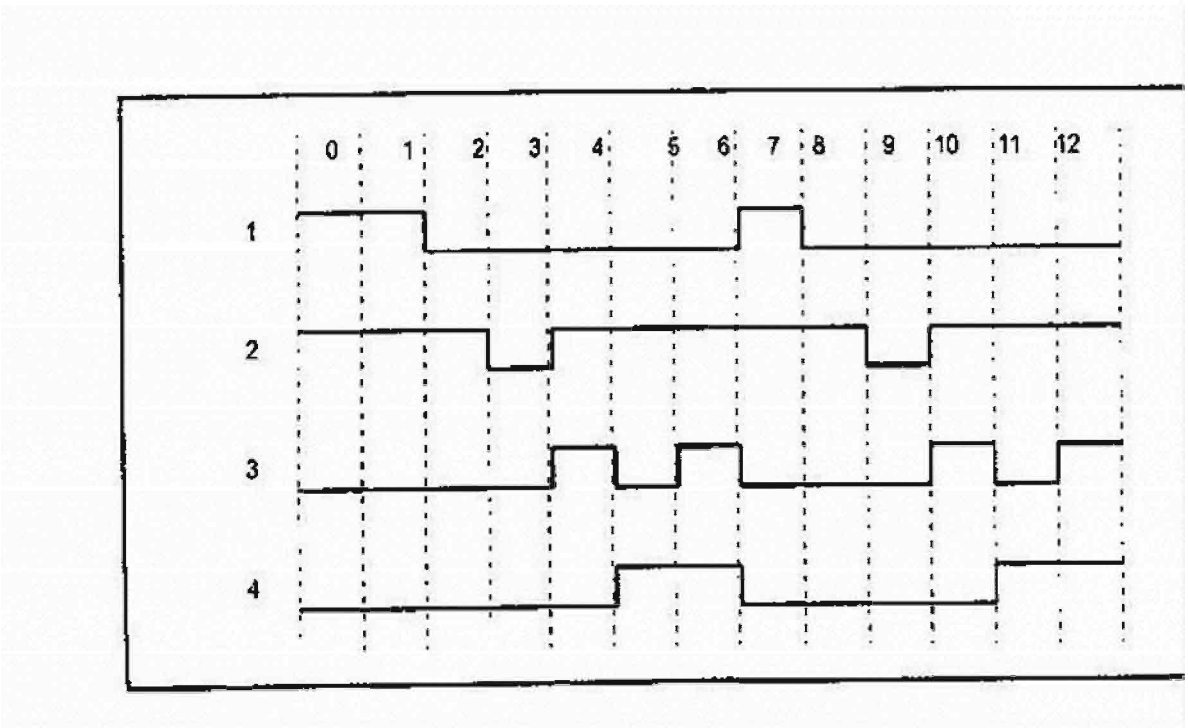
استان:

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۵

**رشته تحصیلی/ کُد درس:** سخت افزار (تجمیع) -۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک(۱) **استفاده از:** **مجاز است.**

٤. برنامه‌ای بنویسید که با استفاده از POM شکل موج زیر را ایجاد کند. (۱/۲۵ نمره)




۵. ظیفه ثبات IR نگهداری دستورالعمل است. برنامه ای برای ثبات دستورالعمل بنویسید. سیگنال IRld جهت عمل بارگذاری و dir_addrرا جهت برگرداندن بخش آدرس دستورالعمل در نظر بگیرید.(۱ نمره)

# نمونه سوال امتحانی نیمسال اول ۹۰-۸۹

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی

استان:

دانشگاه پیام نور
مرکز آزمون

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴

**رشته تحصیلی/ کُد درس:** سخت‌افزار (تجمیع) ۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک (۱) **استفاده از:** -- **مجاز است.**

امام خمینی(ره): این محرم و صفر است که اسلام را زنده نگه داشته است.

۱. طراحی خودکار به چه معنی است ؟
الف. سپردن بخش‌هایی از مراحل طراحی به کامپیوتر
ب. سپردن تمام مراحل طراحی به کامپیوتر
ج. انجام طراحی کاملا بصورت اتوماتیک
د. توصیف و اجرای طرح با یکی از زبانهای نرم‌افزاری

۲. بالاترین سطح انتزاع چه سطحی است ؟
الف. ریز معماری ب. سیستم ج. معماری د. منطقی

۳. UVROM نام کدامیک از حافظه های زیر است؟
الف. SPLD ب. PROM ج. EEPROM د. EPROM

۴. GAL چیست ؟
الف. نوعی PLD ترتیبی است. ب. نوعی PLD ترکیبی است.
ج. فقط مقلد PAL ترکیبی است. د. فقط مقلد PAL ترتیبی است.

۵. EPLD ها از کدام تکنولوژی استفاده می‌کنند؟
الف. گیت شناور ب. گیت‌های آبشاری
ج. گیت‌های AND-OR د. گیت‌های NAND-NAND

۶. در یک تراشه PLD با چه ولتاژی اتصال فیوزی سوزانده می‌شود؟
الف. ۵ تا ۱۲ ولت ب. ۱۰ تا ۳۰ ولت ج. ۱۰ تا ۲۰ ولت د. ۲۰ تا ۳۰ ولت

۷. شرکت Xilinx در بلوک منطقی FPGA از کدام ساختار استفاده می‌کند؟
الف. Multiplexer ب. PAL ج. lookup table د. MPGA

۸. FGPA برای کاربردهایی با چه حجم تولید عالی است؟
الف. ۶۰.۰۰۰ ب. ۴۰.۰۰۰ ج. ۵۰.۰۰۰ د. ۱۰۰.۰۰۰

۹. در مورد فیوز کدام عبارت زیر صحیح است؟
الف. یک اتصال فلزی نازک است که در اثر عبور جریان ذوب و از بین می‌رود.
ب. در حالت عادی باز بوده و پس از برنامه‌ریزی اتصال کوتاه می‌شود.
ج. یک اتصال فلزی نازک است که در اثر عبور جریان اتصال کوتاه می‌شود.
د. در تکنولوژیهای جدید نیز از فیوز استفاده می‌شود.

۱۰. در تولیدات تجاری فعلی از کدام تکنولوژی در FPGA استفاده می‌شود؟
الف. EEPROM ب. SRAM و Anti Fuse
ج. EPROM د. SRAM

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی

استان:

دانشگاه پیام نور
مرکز آزمون

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴

**رشته تحصیلی/ کُد درس:** سخت‌افزار (تجمیع) ۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک (۱) **استفاده از:** — **مجاز است.**

۱۱. علت کند بود FPGA در مقایسه با MPGA چیست؟

الف. وجود اتصالات فلزی
ب. وجود تاخیردهنده‌های داخلی
ج. پایین بودن تکنولوژی ساخت
د. برنامه‌پذیر بودن (توسط کاربرد)

۱۲. ساخت یک سوئیچ برنامه‌پذیر را به چه صورتی معمول نیست؟

الف. یک سری ترانزیستور که با EPROM کنترل می‌شود.
ب. یک سری ترانزیستور که با EEPROM کنترل می‌شود.
ج. یک سری ترانزیستور که با سلولهای SDRAM کنترل می‌شود.
د. یک سری ترانزیستور که با SRAM کنترل می‌شود.

۱۳. سیگنال Z در کد زیر عملکرد چه مداری را توسط VHDL نشان می‌دهد.

```
Architecture
Signal x,y : std_logic;
Begin
x<= A and B;
Y<= (not A) and (not B);
Z<=X or Y;
END
```

الف. XOR
ب. XNOR
ج. AND
د. NAND

۱۴. مولدهای تابع منطقی چیستند؟

الف. مهمترین عناصر قابل برنامه‌ریزی CLB ها هستند.
ب. مهمترین عناصر قابل برنامه‌ریزی FPGA ها هستند.
ج. مهمترین عناصر قابل برنامه‌ریزی در LUT ها هستند.
د. بلوک‌هایی هستند که در MPGA ها استفاده می‌شوند.

۱۵. در زبان VHDL اولویت کدامیک از عملگرها بیشتر است؟

الف. AND
ب. XOR
ج. NOT
د. OR

۱۶. کدامیک از گزینه های زیر برای تعریف کاراکتر x در VHDL صحیح است؟

الف. 'x'
ب. "x"
ج. x
د. ""x""

۱۷. در مورد تبدیل نوع در VHDL کدامیک از عبارات زیر صحیح نیست ؟

الف. تبدیل بین انواعی که اصالتا از یک نوع هستند امکان‌پذیر است.
ب. انواع شمارشی می‌توانند تبدیل شوند.
ج. تبدیل بین انواع آرایه ای بشرط داشتن طول یکسان و عناصر همنوع امکان پذیر است.
د. تبدیل نوع بدلیل حساسیت VHDL به نوع می‌باشد.

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی

استان:

دانشگاه پیام نور
مرکز آزمون

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴

**رشته تحصیلی/ کُد درس:** سخت‌افزار (تجمیع) ۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک (۱) **استفاده از:** -- **مجاز است.**

۱۸. متغیر "101011" =A بعد از عمل شیفت A sll 2 برابر چه مقداری می‌شود؟

الف. 001010 ب. 010110 ج. 101100 د. 011010

۱۹. در مورد لیست حساسیت و دستور wait در موضوع پردازه (Process) کدام گزینه صحیح است ؟

الف. لیست حساسیت باید قبل از دستور wait استفاده شود.

ب. اگر لیست حساسیت وجود نداشته باشد می‌توان از دستور wait استفاده کرد.

ج. لیست حساسیت نسبت به دستور wait اولویت کمتری دارد.

د. نمی‌توان همزمان هم لیست حساسیت داشت و هم دستور wait

۲۰. خروجی ماشین مور به چه چیزی وابسته است ؟

الف. به حالت فعلی و حالت قبلی ب. فقط به حالت فعلی

ج. به حالت فعلی و ورودی لحظه‌ای د. به حالت قبلی و ورودی لحظه‌ای

۲۱. کد VHDL زیر مربوط به چیست ؟

```
entity FUNC is
port(           data_in:        in std_logic;
enable:                         in std_logic;
data_out:       out std_logic
);
end FUNC;

architecture behv of FUNC is
begin

    process(data_in, enable)
    begin
        if (enable='1') then
            -- no clock signal here
    data_out <= data_in;
end if;
    end process;

end behv;
```

الف. D-FF ب. simple-latch ج. T-FF د. JK-FF

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی

استان:

دانشگاه پیام نور
مرکز آزمون

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴

**رشته تحصیلی/ کُد درس:** سخت‌افزار (تجمیع) ۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک (۱) **استفاده از:** -- **مجاز است.**

۲۲. کد VHDL مربوط به چیست ؟

```
entity FUNC_ent is
port(           x: in std_logic;
y: in std_logic;
F: out std_logic
);
end XNOR_ent;

architecture behv1 of FUNC_ent is
begin

    process(x, y)
    begin
        -- compare to truth table
        if (x/=y) then
    F <= '0';
else
    F <= '1';
end if;
    end process;

end behv1;
```

الف. NAND ب. XOR ج. XNOR د. NOR

۲۳. حافظه ROM را در VHDL چگونه می‌توان تعریف کرد؟

الف. بصورت آرایه ثابت ب. بصورت آرایه پویا

ج. بصورت ماتریس دو بعدی پویا د. یک متغیر رشته‌ای

۲۴. از زاویه طراحی در سطح انتقال ثبات در هر طرح دیجیتال چه چیزهایی وجود دارد؟

الف. یک واحد کنترل و یک واحد اجرا ب. یک واحد کنترل و یک واحد انتقال کنترل

ج. یک واحد اجرا و یک واحد انتقال د. یک واحد کنترل و یک مسیر داده

۲۵. نوع character در VHDL شامل چه نوع کاراکترهایی می‌شود؟

الف. تنها کاراکترهای حروف انگلیسی

ب. کاراکترهای حروف انگلیسی بعلاوه اعداد ۰ تا ۹

ج. هر نوع کاراکتر قابل چاپ

د. کاراکترهای کد اسکی زیر کد ۱۲۸

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی

استان:

دانشگاه پیام نور
مرکز آزمون

**نام درس:** طراحی خودکار مدارهای دیجیتال
**تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴

**رشته تحصیلی/ کُد درس:** سخت‌افزار (تجمیع) ۱۱۱۵۲۱۳
**زمان آزمون (دقیقه): تستی:** ۶۰ **تشریحی:** ۶۰

**کُد سری سؤال:** یک (۱)
**استفاده از:** -- **مجاز است.**

## سئوالات تشریحی

۱. تاخیر لختی و تاخیر انتقال چیست و چگونه می‌توان در VHDL مدل کرد. ( ۲ نمره )

۲. گیت شناور چیست ؟ در کجا کاربرد دارد ؟ ساختار آن‌را بکشید. ( ۱ نمره )

۳. المان منطقی LE چیست؟ با رسم شکل نشان دهید.( ۱ نمره)

۴. برنامه VHDL یک شمارنده ۴ بیتی را بنویسید. ( ۲نمره)

# نمونه سوال امتحانی نیمسال دوم ۸۹-۸۸

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اسی
www.pnueb.com

**استان:**

**نیمسال دوم ۸۹-۸۸**

**کارشناسی(تجمیع)**

**نام درس:** طراحی خودکار مدارات دیجیتالی
**رشته تحصیلی , کُد درس:** سخت افزار (۱۱۱۵۲۱۳)

**تعداد سؤالات: تستی:** ۲۰ **تشریحی:** ۵
**زمان آزمون: تستی:** ۷۰ **تشریحی:** ۶۰ **دقیقه**
**آزمون نمره منفی دارد** ○ **ندارد** ◉

**کُد سری سؤال:** یک (۱) **استفاده از:** ــ **مجاز است.**

امام علی(ع): شرافت به خرد و ادب است نه به دارایی و نژاد.

۱. در مورد آرایه منطقی قابل برنامه‌ریزی ترتیبی ($Sequential\ PAL$) کدامیک غلط است؟
الف. به جای بافر سه جانبه، $F.F$ در خروجی دارند.
ب. $PAL$ هایی هستند که خروجی ثبت شده دارند.
ج. $F.F$ ها حتی در حالتهایی که خروجی‌ها غیر فعال هستند هم می‌توانند تغییر کنند.
د. به تمامی $F.F$ ها، یک سیگنال کلاک به نام $CLK$ وصل شده است.

۲. مهمترین چیزی که باید در مورد دیاگرام منطقی $GAL18V8C$ به آن توجه داشت این است که در مقایسه با $PAL16L8$ یک گیت ..... بین خروجی هر ..... و بافر سه حالته خروجی قرار گرفته است.
الف. $NAND-OR$ ب. $AND-XOR$
ج. $OR-NAND$ د. $OR-XOR$

۳. کدام مورد غلط است؟
الف. در $22V10$ جمله ضربی Reset سراسری بوده ولی Preset به بلوکهای نیمه بالایی می‌رود.
ب. هر درشت سلول منطقی خروجی $22V10$ می‌تواند به صورت باثبات پیکربندی شود.
ج. هر درشت سلول منطقی خروجی $22V10$ می‌تواند به صورت بدون ثبات پیکربندی شود.
د. در $22V10$ هر خروجی شامل حداقل 8 جمله ضربی است.

۴. $FPGA$ های خانواده‌های سری $FLEX$، از کدام شرکت سازنده هستند؟
الف. $Xilinx$ ب. $Latice$
ج. $AT8T$ د. $Altera$

۵. کدام شناسه معتبر است؟
الف. $-in1$ ب. $Ali1$ ج. $Num-N$ د. $inp@1$

۶. آیا از کاراکتر_ ( زیر خط یا $underline$) در اعداد می‌توان استفاده کرد؟
الف. فقط در ابتدای اعداد نمی‌توان قرار داد. ب. فقط در انتهای اعداد نمی‌توان قرار داد.
ج. می‌توان استفاده کرد، فقط در ابتدا و انتها نباشد. د. این امکان وجود ندارد.

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اسی
www.pnueb.com

**استان:**

**نیمسال دوم ۸۹-۸۸**

**کارشناسی(تجمیع)**

**نام درس:** طراحی خودکار مدارات دیجیتالی

**رشته تحصیلی , کُد درس:** سخت افزار (۱۱۱۵۲۱۳)

**تعداد سؤالات: تستی:** ۲۰ **تشریحی:** ۵

**زمان آزمون: تستی:** ۷۰ **تشریحی:** ۶۰ **دقیقه**

**آزمون نمره منفی دارد ○ ندارد ◉**

**کُد سری سؤال:** یک (۱) **استفاده از:** ــ **مجاز است.**

۷. با توجه به تعریف زیر، ارزش عبارتهای $ABC'left$ و $ABC'Value(29)$ به ترتیب چقدر است؟

*type ABC is range* 20 *to* 100;

الف. "49", 20 ب. "49" , 19

ج. "29" , 20 د. "29", 19

۸. اولویت کدام عملگر یا عملگرها از همگی عملگرهای دیگر بیشتر است؟

الف. *not* ,*abs* ب. ** ,*abs* , *not*

ج. mod,**, *abs* , *nob* د. ** , *not*

۹. در استفاده از دستور *case* برای پیش‌بینی رخداد سایر حالات، از چه عبارتی استفاده می‌شود؟

الف. *when others* ب. *otherwise*

ج. *else* د. *for others*

۱۰. دستور *Null* برای چیست؟

الف. ارسال پوچ به خروجی‌ها ب. در نظر گرفتن پوچ به جای ورودی‌ها

ج. هیچ عملی انجام نشود. د. ادامه حلقه پوچ فرض شود.

۱۱. برنامه زیر را در نظر بگیرید.

```
procedure addu (a, b:    in word32;
                result:  out word32;
                overflow: out Boolean ) is
      variable sum: word32;
      variable carry: bit := '0';
begin
      for index in sum'reverse_range loop
          sum(index):=a(index) xor b(index) xor carry;
          carry:=(a(index) and b(index) )
                 or (carry and (a(index) xor b(index) ) );
      end loop;
      result:=sum;
      overflow:=carry = '1';
end procedure addu;
```

در صورتی که $PC$ , $next-PC$ به صورت $word\ 32$ تعریف شده باشند و $Vf$ به صورت *boolian* تعریف شود، در فراخوانی این زیر برنامه کدام درست است؟

الف. $addu(PC\ ,\ next-PC, X"0001000F", Vf);$

ب. $addu(PC, X"0001000F"\ , next\ -PC\ , Vf);$

ج. $addu\ (PC, Vf\ .\ X"01234567", Vf);$

د. هیچکدام

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
www.pnueb.com
خبرنامه اس ام اسی



نام درس: طراحی خودکار مدارات دیجیتالی
رشته تحصیلی ، کُد درس: سخت افزار (۱۱۱۵۲۱۳)
تعداد سؤالات: تستی: ۲۰ تشریحی: ۵
زمان آزمون: تستی: ۷۰ تشریحی: ۶۰ دقیقه
آزمون نمره منفی دارد ○ ندارد ◉
کُد سری سؤال: یک (۱)
استفاده از: — مجاز است.

۱۲. در برنامه سؤال ۱۱:

الف. پس از اجرا $overflow$ همواره به نشانه اتمام اجرا یک می‌شود.

ب. پس از اجرا $overflow$ در صورت عدم سرزیر یک می‌شود.

ج. پس از اجرا در صورت مثبت بودن نتیجه $overflow$ صفر می‌شود و الا یک می‌شود.

د. هیچکدام از موارد فوق

۱۳. زیر برنامه سؤال ۱۱ چه عملی انجام می‌دهد؟

الف. جمع با علامت و سرریز دار ( دو عدد ۳۲ بیتی)

ب. جمع بدون علامت و سرریزدار ( دو عدد ۳۲ بیتی)

ج. جمع با علامت و بدون سرریز (دو عدد ۳۲ بیتی)

د. جمع بدون علامت و بدون سرریز (دو عدد ۳۲ بیتی)

۱۴. تکه برنامه زیر، چه عملی انجام می‌دهد؟

```
    process(data_in, enable)
    begin
        if (enable='1') then
            --no clock signal here
              data_out <= data_in;
        end if;
    end process;
end behv;
```

$enalbe$ ، $data-in$ ورودی $data-out$ خروجی و همگی یک بیتی هستند.

الف. بافر سه حالته انتقال داده
ب. انتقال شرطی داده به خروجی
ج. فلیپ فلاپ نوع $D$
د. نگهدار (لچ) نوع $D$

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اسی
www.pnueb.com

**استان:**

**نیمسال دوم ۸۹-۸۸**

**کارشناسی(تجمیع)**

**نام درس:** طراحی خودکار مدارات دیجیتالی
**تعداد سؤالات: تستی:** ۲۰ **تشریحی:** ۵

**رشته تحصیلی , کُد درس:** سخت افزار (۱۱۱۵۲۱۳)
**زمان آزمون: تستی:** ۷۰ **تشریحی:** ۶۰ دقیقه

**آزمون نمره منفی دارد ○ ندارد ◉**

**کُد سری سؤال:** یک (۱)
**استفاده از: ــ مجاز است.**

۱۵. اگر $A$ , $B$ دو سیگنال تک بیتی ورودی باشند، پس از اجرای دستور $input \Leftarrow A \& B;$ اجرای تکه برنامه زیر چه عملی انجام خواهد داد؟

```
library ieee;
use ieee.std_logic_1164.all;
-----------------------------------------------
entity AB _FF is
port (clock, A ,B  , reset:  in std_logic;
                  Q, Qbar:  out std_logic);
end AB _FF;
-----------------------------------------------
architecture behv of AB _FF is
    -- define the useful signals here
    signal state: std_logic;
    signal input: std_logic_vector(1 downto 0);
begin
    -- combine inputs into vector
    input <=A  &B ;
    p: process(clock, reset) is
    begin
      if (reset='1') then
          state <= '0';
      elsif (rising_edge(clock)) then
          -- compare to the truth table
          case (input) is
            when "11" =>
                state <= not state;
            when "10" =>
                state <= '1';
            when "01" =>
                state <= '0';
            when others =>
                null;
            end case;
      end if;
    end process;
    -- concurrent statements
    Q <= state;
    Qbar <= not state;
end behv;
```

الف. شمارنده نزولی ۲ بیتی
ب. شمارنده صعودی ۲ بیتی
ج. فلیپ فلاپ $SR$
د. فلیپ فلاپ $JK$

۱۶. ماشین مور چه نوع ماشین حالتی است؟

الف. ماشین حالتی است که خروج به حالت فعل و تنها یک عددی وابسته است.
ب. ماشین حالتی است که مقدار خروج آن علاوه بر حالت فعلی به مقدار لحظه‌ای حدودی نیز بستگی دارد.
ج. ماشین حالتی است که مقدار خروجی آن فقط وابسته به حالت فعلی بوده و هیچ حدودی در عبارت خروجی دخالت مستقیم ندارد.
د. ماشین حالتی است که مقدار خروج آن هم به حالت فعلی و هم حالت قبلی وابسته است.

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اسی
www.pnueb.com

**استان:**

**نیمسال دوم ۸۹-۸۸**
**کارشناسی(تجمیع)**

**نام درس:** طراحی خودکار مدارات دیجیتالی
**رشته تحصیلی , کُد درس:** سخت افزار (۱۱۱۵۲۱۳)

**تعداد سؤالات: تستی:** ۲۰ **تشریحی:** ۵
**زمان آزمون: تستی:** ۷۰ **تشریحی:** ۶۰ **دقیقه**
**آزمون نمره منفی دارد ○ ندارد ◉**

**کُد سری سؤال:** یک (۱) **استفاده از: ــ مجاز است.**

۱۷. کدامیک در مورد ویرایشگر گرافیکی در محیط $Max+Plus\ II$ صادق است؟
الف. فقط فایل‌های $gdf$ , $sym$ را پشتیبانی می‌کند.
ب. فایلهای شماتیک برنامه $protel$ را هم پشتیبانی می‌کند.
ج. فایلهای شماتیک برنامه $orcad$ را هم پشتیبانی می‌کند.
د. فایلهای $PDF$ را نیز پشتیبانی می‌کند.

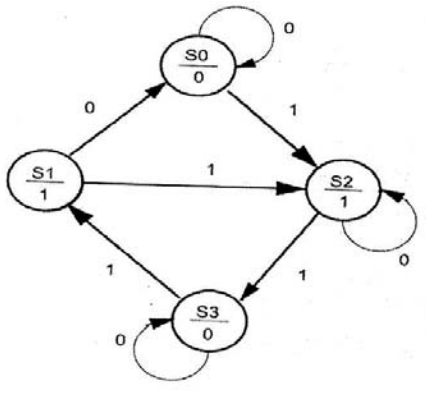
۱۸. پسوند فایلهای ویرایشگر شکل موج ( در مجموعه $MAX+PLUSII$ ) چیست؟
الف. $wdf$. ب. $wav$. ج. $wfm$. د. $we$.

۱۹. در مورد $fitter$ کدام گزینه نادرست است؟
الف. هر بخشی از کامپایل را روی چند تراشه جایگذاری می‌کند.
ب. عمل جایگذاری و مسیردهی را انجام می‌دهد.
ج. اطلاعات مربوط به میزان استفاده و محل پایه‌ها را هم گزارش می‌دهد.
د. فایل گزارش با پسوند $rpt$. ارائه می‌دهد.

۲۰. برنامه $Max+PlusII$ مربوط به کدامیک از سازندهای زیر است؟
الف. $Xilinx$ ب. $ALTERA$ ج. $ACTEL$ د. $ORCAD$

**«ســــــــــؤالات تشریحـــــــــــی»**

۱. ده مورد از مزایای استفاده از مدارات برنامه‌پذیر را فقط نام ببرید. (۱ نمره)
۲. چهار مورد انواع سوئیچ مبتنی بر $SRAM$ را نام برده و به اختصار توضیح دهید. (۱ نمر)
۳. ماشین حالت زیر را به صورت کامل با زبان VHDL پیاده‌سازی نمایید. (۲ نمره)




۴. یک $RAM$ با گذرگاه داده ورودی / خروجی (دوطرفه) به زبان $VHDL$ طراحی کنید (۱ نمره)
۵. اتصال باس یک بعدی به باس چند بعدی را شرح دهید. (۱ نمره)

# نمونه سوال امتحانی نیمسال اول ۸۹-۸۸

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس تان:
www.pnueb.com

**کارشناسی (تجمیع)**

| | |
|---|---|
| **نام درس:** طراحی خودکار مدارهای دیجیتال | **تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴ |
| **رشته تحصیلی و کُد درس:** سخت افزار – ۱۱۱۵۲۱۳ | **زمان آزمون: تستی:** ۷۵ **تشریحی:** ۶۰ **دقیقه** |
| -- | **آزمون نمره منفی دارد○ ندارد◉** |
| **کُد سری سؤال:** یک (۱) | **استفاده از:** -- **مجاز است.** |

**امام علی(ع): برتری مردم به یکدیگر، به دانش‌ها و خردهاست؛ نه به ثروت‌ها و تبارها.**

۱- کدام گزینه در مورد CPLD و FPGAصحیح می‌باشد؟

الف)CPLD ها عموماً مبتنی بر RAM برنامه‌ریزی می‌شوند.

ب) CPLD ها در حالت کلی تاخیر انتشار بیشتری نسبت به FPGA دارند.

ج) CPLD ها، بر خلاف FPGAها، عموماً دارای منابع مخصوصی جهت طراحی شمارنده‌ها و توابع محاسباتی خاص می‌باشند.

د) CPLD ها بطور نسبی تعداد بلوک و گیت کمتری نسبت به FPGA دارند.

۲- کدام‌یک از قطعات زیر در کارخانه سازنده برنامه‌ریزی می‌شود؟

الف)FPGA ب)CPLD ج)EPLD د)MPGA

۳- کدام بخش از یک برنامه VHDL لیست سیگنال‌های ورودی و خروجی سیستم تحت طراحی را مشخص می‌کند؟

الف)entity ب)architecture ج)process د)procedure

۴- کدام گزینه در مورد زبان VHDL درست نمی‌باشد ؟

الف) در VHDL امکان مدل کردن تاخیر دروازه‌های منطقی وجود دارد.

ب) VHDL زبانی حساس به نوع حروف (کوچک و بزرگ) است.

ج) VHDL به شدت به نوع داده‌ها حساس است.

د) در صورتی که در انتساب سیگنال تاخیر ذکر نشود شبیه ساز VHDL یک تاخیر دلتا در نظر می‌گیرد.

۵- گذرگاه داده در یک ریزپردازنده برای ارسال و دریافت داده استفاده می‌شود. اگر بخواهیم یک ریزپردازنده را در VHDL توصیف کنیم mode گذرگاه داده باید چگونه تعریف شود؟

الف)in ب)out ج)buffer د)inout

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس تان:
www.pnueb.com



| | |
|---|---|
| **نام درس:** طراحی خودکار مدارهای دیجیتال | **تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴ |
| **رشته تحصیلی و کُد درس:** سخت افزار – ۱۱۱۵۲۱۳ | **زمان آزمون: تستی:** ۷۵ **تشریحی:** ۶۰ **دقیقه** |
| -- | **آزمون نمره منفی دارد○ ندارد◉** |
| **کُد سری سؤال:** یک (۱) | **استفاده از:** -- **مجاز است.** |

۶-کدام گزینه در مورد سیگنال‌ها و متغیرها در VHDL صحیح نمی‌باشد؟

الف)انتساب به سیگنال‌ها دارای زمان‌بندی است ولی انتساب به متغیرها فوری صورت می‌پذیرد.

ب)انتساب به سیگنال با عملگر => و انتساب به متغیر با عملگر := صورت می‌گیرد.

ج)متغیر را می‌توان در داخل یک پردازه(process) تعریف کرد ولی نه در قسمت اعلانی یک architecture

د) سیگنال را می‌توان در داخل یک پردازه(process) تعریف کرد ولی نه در قسمت اعلانی یک architecture

۷-کدام‌یک از نوع داده‌های زیر در بسته std_logic_1164 از کتابخانه ieee تعریف شده‌است؟

الف)std_ulogic ب)bit_vector ج)integer د)time

۸-کدام یک از نوع داده‌های زیر نوع داده‌ی فیزیکی (physical) می‌باشد؟

الف)time ب)integer ج)string د)bit

۹- نوع داده std_ulogic در واقع یک نوع داده.....می‌باشد.

الف)ممیز شناور ب) شمارشی(enumerated)

ج) فیزیکی د)مرکب (composite)

۱۰-اگر داشته باشیم : type myarray is array(7 downto 0) of bit در این صورت myarray'ascending چه برمی‌گرداند؟

الف) true ب)false ج)7 د)0

۱۱-توسط کدام عملگر می‌توان دو بردار را بهم چسباند؟

الف) & ب)+ ج)/ د)**

۱۲-کدام خصیصه (attribute) زمان سپری شده از آخرین رخداد را بر می‌گرداند؟

الف) 'event ب)'active ج)'last_event د)'last_active

۱۳-'stable چه چیز را برمی‌گرداند؟

الف) سیگنالی از نوع bit ب)مقداری از نوع boolean

ج)مقداری از نوع time د)سیگنالی از نوع سیگنال اولیه

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس تان:
www.pnueb.com



| | |
|---|---|
| **نام درس:** طراحی خودکار مدارهای دیجیتال | **تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴ |
| **رشته تحصیلی و کُد درس:** سخت افزار – ۱۱۱۵۲۱۳ | **زمان آزمون: تستی:** ۷۵ **تشریحی:** ۶۰ **دقیقه** |
| -- | **آزمون نمره منفی دارد○ ندارد◉** |
| **کُد سری سؤال:** یک (۱) | **استفاده از:** -- **مجاز است.** |

۱۴-اگر نوع داده‌ی a، boolean و x و y از نوع bit باشند که به‌صورت type bit is (‘0’, ‘1’); تعریف شده‌است، اگر x=’1’ و y=’0’ باشد پس از اجرای عبارت زیر مقدار a، چه خواهد بود ؟a<=(x<=y);

الف) ’0’ ب) ’1’ ج) FALSE د) TRUE

۱۵-برای آشکارسازی لبه‌ی بالا رونده بر روی یک سیگنال مثل clk از کدام‌یک از عبارات زیر می‌توان استفاده کرد؟

الف) clk’event and clk=’0’ ب) clk’event and clk=’1’

ج) clk’active and clk=’0’ د) clk’ active and clk=’1’

۱۶-اگر داشته باشیم : variable A:bit_vector :=”100110” پس از اجرای دستور A srl 2 مقدار داخل A برابر خواهد بود با:

الف) 001001 ب) 000110 ج) 111001 د) 110010

۱۷-توصیف رفتار یک سیستم با استفاده از دستورات همروند (concurrent) چه نامیده می‌شود؟

الف)توصیف الگوریتمی ب)توصیف جریان داده

ج)توصیف ساختاری د)توصیف رفتاری

۱۸-کدام یک از دستورات شرطی زیر، همروند (concurrent) است؟

الف)if-then-else ب)دستورcase

ج)دستور when-else د)هرسه

۱۹-به ازای کدام دستور زیر تمام تغییرات سیگنال a بدون حذف هیچ پالسی و با تاخیر 20ns حتماً به سیگنال b منتقل می‌شود؟

الف) b<=a AFTER 20NS; ب) b<=inertial AFTER 20NS;

ج) b<=TRANSPORT a AFTER 20NS; د)هر سه

دانلود کتاب درسی
دانلود خلاصه دروس
کارشناسی (تجمیع)
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس تان:
www.pnueb.com

| | |
|---|---|
| نام درس: طراحی خودکار مدارهای دیجیتال | تعداد سؤالات: تستی: ۲۵ تشریحی: ۴ |
| رشته تحصیلی و کُد درس: سخت افزار - ۱۱۱۵۲۱۳ | زمان آزمون: تستی: ۷۵ تشریحی: ۶۰ دقیقه |
| -- | آزمون نمره منفی دارد○ ندارد◉ |
| کُد سری سؤال: یک (۱) | استفاده از: -- مجاز است. |

۲۰- کدام عبارت می‌تواند در قطعه کد زیر به جای نقطه چین قرار گیرد؟

```
entity example is
    ..... (delay:time:= 10 ns);
    port (a,b: in Std_logic ;
          c: out Std_logic);
end ;
```

الف) generic ب) architecture

ج) process د) procedure

۲۱-قطعه کد زیر در کدام ساختار VHDL می‌تواند استفاده شود؟

```
 if a>b then
    return a;
 else
    return b;
 end if;
```

الف) process ب) generic

ج) function د) procedure

۲۲-کدام گزینه در مورد یک پردازه (process) صحیح می‌باشد؟

الف) عدم تغییر مقدار هریک از سیگنال‌های موجود در داخل پردازه موجب اجرای آن پردازه می‌شود.

ب)اگر پردازه‌ای دارای لیست حساسیت باشد نمی‌توان در آن از دستور wait استفاده کرد.

ج)اجرای دستورهای داخل یک پردازه، به‌صورت همزمان انجام می‌پذیرد.

د) در یک پردازه نمی‌توان به سیگنالها مقدار داد ولی می‌توان مقدار آنها را خواند

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس تان:
www.pnueb.com

**کارشناسی (تجمیع)**

| | |
|---|---|
| **نام درس:** طراحی خودکار مدارهای دیجیتال | **تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴ |
| **رشته تحصیلی و کُد درس:** سخت افزار – ۱۱۱۵۲۱۳ | **زمان آزمون: تستی:** ۷۵ **تشریحی:** ۶۰ **دقیقه** |
| -- | **آزمون نمره منفی دارد○ ندارد◉** |
| **کُد سری سؤال:** یک (۱) | **استفاده از:** -- **مجاز است.** |

۲۳-قطعه کد زیر توصیف چه قطعه‌ی منطقی می‌تواند باشد؟

```
architecture dataflow of xmodule is
begin
                f <= w0 WHEN  s="00" else
                  w1 WHEN  s="01" else

                  w2 WHEN  s="10" else
                  w3 WHEN s="11" else
                    "ZZ";
END dataflow ;
```

الف) مالتی پلکسر  ب) دیکدر  ج) انکدر  د) دی مالتی پلکسر

۲۴-قطعه کد زیر معرف چه قطعه سخت‌افزاریی می‌تواند باشد (q خروجی مدار است)؟

```
architecture behavioral of xmodule is
        signal qt :STD_LOGIC_VECTOR(7  downto 0);
begin
        process(clk)
        begin
                if (clk='0'and clk'event) then
                   qt<=qt(6 to 0)&din;
                end if;
        end process;
        q<=qt;
end behavioral;
```

الف) شمارنده بالا شمار  ب) شمارنده پایین شمار

ج) ثبات انتقالی با قابلیت انتقال به چپ  د) ثبات انتقالی با قابلیت انتقال به راست

دانلود کتاب درسی
دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل
خبرنامه اس ام اس تان:
www.pnueb.com



| | |
|---|---|
| **نام درس:** طراحی خودکار مدارهای دیجیتال | **تعداد سؤالات: تستی:** ۲۵ **تشریحی:** ۴ |
| **رشته تحصیلی و کُد درس:** سخت افزار – ۱۱۱۵۲۱۳ | **زمان آزمون: تستی:** ۷۵ **تشریحی:** ۶۰ **دقیقه** |
| -- | **آزمون نمره منفی دارد○ ندارد◉** |
| **کُد سری سؤال:** یک (۱) | **استفاده از:** -- **مجاز است.** |

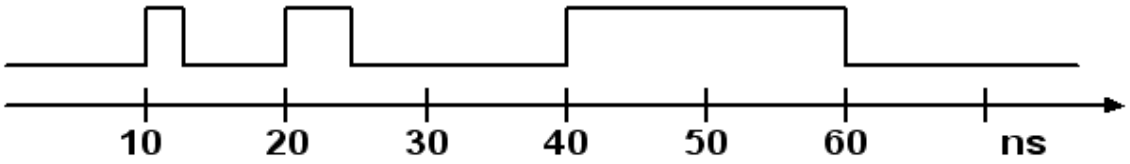
۲۵- حاصل عبارت 4 rem (-11) در VHDL کدام است؟

الف) 2 ب)-2 ج)3 د) -3

**سوالات تشریحی**

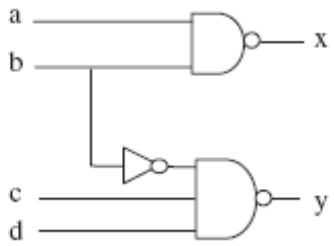
۱) چهار مورد از موارد کاربرد FPGA را بیان کنید. (۱ نمره)

۲) شکل موج سیگنال A در زیر داده شده است. شکل موجهای B1 و B2 را بر اساس تعریف زیرترسیم کنید. (۱/۵ نمره)




```
B1<=A after 10ns;
B2<= transport  A after 10ns;
```

۳) برنامه ای در VHDL بنویسید که یک مدل ساختاری (Structural) از مدار زیر را ارائه کند




فرض کنید شما از سه قطعه nand_3, nand_2 , inverter با اینترفیسهای زیر در کتابخانه work و با architecture به نام rtl می توانید استفاده کنید: (۲ نمره)

```
ENTITY inverter IS
        PORT (a: IN STD_LOGIC; b: OUT STD_LOGIC);
 END inverter;
ENTITY nand_2 IS
        PORT (a, b: IN STD_LOGIC; c: OUT STD_LOGIC);
END nand_2;
ENTITY nand_3 IS
        PORT (a, b, c: IN STD_LOGIC; d: OUT STD_LOGIC);
END nand_3;
```

٤) با استفاده از VHDL رفتاری برنامه‌ای برای توصیف یک فلیپ فلاپ D حساس به لبه بالارونده بنویسید.از نوع داده std_logic استفاده کنید. (۱/۵ نمره)

# نمونه سوال امتحانی نیمسال دوم ۸۸-۸۷

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب
دانلود حل المسائل خبرنامه اس ام اسی www.pnueb.com

**طرح تجمیع** **نیمسال دوم ۸۸-۸۷**

**نام درس:** طراحی خودکار مدارهای دیجیتال **تعداد سؤال:** تستی: ۳۰ تکمیلی: -- تشریحی: ۵

**رشته تحصیلی-گرایش:** مهندسی سخت افزار **زمان آزمون (دقیقه): تستی و تکمیلی :** ۴۵ **تشریحی:** ۶۰

**کد درس:** ۱۱۱۵۲۱۳

*** دانشجوی گرامی: لطفاً، گزینه ۱ را در قسمت کد سری سؤال برگه پاسخنامه خود، علامت بزنید. بدیهی است، مسئولیت این امر برعهده شما خواهد بود.**

****این آزمون نمره منفی ندارد.**

۱. در مورد مدارات برنامه پذیر کدام گزینه غلط می باشد؟

الف. تست مدار آسانتر می شود. ب. امکان شبیه سازی وجود ندارد.

ج. قابلیت برنامه ریزی وجود دارد ولی هزینه آن از ASIC زیاد است. د. گزینه های ب و ج.

۲. کدام گزینه صحیح نیست؟

الف. PROM مناسب ترین انتخاب برای پیاده سازی حافظه در کاربردهای میکروپروسسوری است.

ب. در سیستم های میکروپروسسوری خیلی بزرگ از PROM به عنوان حافظه برنامه استفاده می شود.

ج. PROM بطور خاصی تنها یک بار قابل برنامه ریزی است، یعنی OTPاست.

د. EPROM قابلیت برنامه ریزی مجدد را دارد.

۳. کدام گزینه در مورد تراشه PAL16L8 غلط است؟

الف. بین دروازه OR و خروجی سه معکوس کننده وجود دارد.

ب. هر خروجی یک کنترل خروجی سه حالته مخصوص به خود دارد.

ج. تعدادی از خروجی ها می توانند به عنوان ورودی نیز استفاده شوند.

د. اگر یک جمله ضرب در دو دروازه OR مورد نیاز باشد باید دوبار ایجاد شود.

۴. گزینه غلط کدام است؟

الف.SPLD ها می‌توانندجایگزین حداکثر 200 گیت NAND شوند.

ب. PLD های دو قطبی نسبت به PLD های CMOS مصرف کمتری دارند.

ج. EPLD می تواند به صورت الکترونیکی یا با قرار گرفتن در معرض نور ماورای بنفش پاک شود.

د. EPLD از ترانزیستورهای MOS با گیت شناور استفاده می کند.

۵. کدام گزینه صحیح است؟

الف. FPGA نسبت به MPGA انعطاف پذیرتر بوده و برای تولید با تعداد کم نیز مقرون به صرفه تر است.

ب. سرعت MPGA کمتر از FPGAاست.

ج. چگالی منطقی FPGA بیشتر از MPGA است.

د. گزینه های الف و ب.

۶. با کدام روش سوئیچ های برنامه ریزی ساخته می شوند؟

الف. با استفاده از فیوز. ب. با استفاده از آنتی فیوز.

ج. یکسری ترانزیستور که بوسیله EPROM کنترل می شود. د. همه موارد.

۷. کدام گزینه جزء حالت های برنامه ریزی PFU نیست؟

الف. بصورت سه عدد 3-LUT ب. بصورت چهار عدد 4-LUT

ج. بصورت دو عدد 5-LUT د. بصورت یک عدد 6-LUT

**نام درس:** طراحی خودکار مدارهای دیجیتال
**رشته تحصیلی-گرایش:** مهندسی سخت افزار
**کد درس:** ۱۱۱۵۲۱۳
**تعداد سوال:** تستی: ۳۰ تکمیلی: -- تشریحی: ۵
**زمان آزمون (دقیقه):** تستی و تکمیلی : ۴۵ تشریحی: ۶۰

۸. کدام گزینه غلط است؟

الف. یک FPGA از تعداد زیادی CLB تشکیل شده است.

ب. مهمترین عناصر قابل برنامه ریزی CLB ها مولدهای تابع منطقی هستند.

ج. در هر CLB دو مولد به نام های F و E وجود دارد.

د. گزینه های الف و ب.

۹. کدام گزینه صحیح نیست؟

الف. VHDL امکان مدل کردن تأخیر دروازه ها را فراهم می آورد.

ب. به منظور بررسی نتایج وارزیابی آن شبیه سازی طرح انجام میگردد.

ج. جهت تبادل و انتقال طرح بین طراحان مستند سازی انجام می شود.

د. رعایت ترتیب نوشتن دستورات در زبان VHDLهمواره الزامی است.

۱۰. گزینه صحیح کدام است؟

الف. زمان بندی رخدادها در VHDL قابل انجام نیست.

ب. توصیف رفتاری، عملکرد مدار را بیان می کند.

ج. توصیف ساختاری، شامل مولفه های تشکیل دهنده و ارتباط بین آنها می باشد.

د. گزینه های ب و ج.

۱۱. پاسخ صحیح کدام گزینه است؟

الف. در زبان VHDL یک سیگنال خروجی را نمی توان به عنوان یک سیگنال داخلی استفاده کرد.

ب. مدلسازی ساختاری امکان طراحی سلسله مراتبی را فراهم نمی کند.

ج. روش طراحی سلسله مراتبی در طرحهایی که با تکرار قابل گسترش اند کاربرد ندارد.

د. گزینه الف و ج.

۱۲. کدام گزینه در مورد برطرف کردن محدودیت های نام گذاری شناسه های اصلی در VHDL صحیح نیست؟

الف. تمام شناسه های گسترش یافته بین دو علامت '\' قرار می گیرند.

ب. یک شناسه گسترش یافته به حروف بزرگ و کوچک حساس نیست.

ج. استفاده از کلمات رزرو شده و شناسه‌های اصلی در شناسه‌های گسترش یافته مجاز است و به عنوان یک شناسه متفاوت در نظر گرفته می‌شود.

د. همه گزینه ها.

۱۳. گزینه صحیح کدام است؟

الف.یک فایل، یک کلاس از شیئی است که برای ذخیره داده ها استفاده می شود.

ب. برای کار با فایل ها دو عمل open و close وجود دارد.

ج. پروسیجر شامل مجموعه ای از دستورات جهت محاسبه یک مقدار است.

د. گزینه های ب و ج

**نام درس:** طراحی خودکار مدارهای دیجیتال
**رشته تحصیلی-گرایش:** مهندسی سخت افزار
**کد درس:** ۱۱۱۵۲۱۳
**تعداد سوال:** تستی: ۳۰ تکمیلی: -- تشریحی: ۵
**زمان آزمون (دقیقه):** تستی و تکمیلی : ۴۵ تشریحی: ۶۰

۱۴. در زبان VHDL کدام گزینه غلط است؟

الف.امکان مدل کردن تأخیرهای لختی و انتقال وجود دارد.

ب. برای مدل کردن تأخیر خطوط سیمی در بردها از تأخیر لختی (اینرسی. استفاده می شود.

ج. با در نظر گرفتن تأخیر دلتا ترتیب ارزیابی ها در نتایج شبیه سازی بی تأثیر خواهد شد.

د. با استفاده از دستور Generic می توان مدارات پارامتری ایجاد نمود.

۱۵. در زبان VHDL کدام گزینه صحیح است؟

الف. مدلسازی رفتاری به دو شکل امکان پذیر است.یکی با دستورات ترتیبی و دیگری با دستورات همروند.

ب. در مدلسازی ساختاری، مدار بر اساس اتصال بین مولفه های آن توصیف می شود.

ج. برای توصیفی الگوریتمی سیستم های پیچیده از دستورات همروند استفاده می شود.

د. گزینه های الف و ب.

۱۶. پاسخ صحیح کدام گزینه است؟

الف. دستور Basic Loop شرط تکرار ندارد و بطور پیوسته اجرا می شود تا به یک دستور exit یا next برسد.

ب. دستور While Loop برای اجرای مکرر تعدادی دستورالعمل متوالی استفاده می گردد.

ج. دستور Loop شرط تکرار را بررسی می کند، اگر شرط درست بود حلقه تکرار می شود.

د. همه گزینه ها.

۱۷. بخش architecture برنامه ریز توصیف چه دروازه ی منطقی را ارائه می کند؟

```
Process (x , y )
 begin
      If (x= ‘0’ and y= ‘0’) then
           F <= ‘1’;
       else
        F <= ‘0’;
    end if;
    end process;
```

الف. NAND ب. OR ج. Not د. هیچکدام

نام درس: طراحی خودکار مدارهای دیجیتال
رشته تحصیلی-گرایش: مهندسی سخت افزار
کد درس: ۱۱۱۵۲۱۳
تعداد سوال: تستی: ۳۰ تکمیلی: -- تشریحی: ۵
زمان آزمون (دقیقه): تستی و تکمیلی : ۴۵ تشریحی: ۶۰

۱۸. کدام گزینه معادل بخش architecture زیر می باشد؟

```
architecture behv1
begin
   Process(x,y)
      begin
            If (x/=y) then
            F <= '0';
            else
              F <= '1';
            end if;
          end process
       end behv1;
```

الف.
```
architecture behv2
  begin
    F <= x xor y;
end behv3;
```

ب.
```
architecture behv3
  begin
        F <= x nor y;
end behv2;
```

ج.
```
architecture behv4
    Begin
F <= x xnor y;
End behv4;
```

د.
```
architecture  behv5
 Begin
   F<= x AND Y;
End behv5;
```

۱۹. کد زیر کدام گزینه را بصورت رفتاری مدل می کند؟

```
entity test1 is
prot(d _ in: in std_ logic_ vector (7 downto 0);
        pn: in std_ logic;
          d_ out: std_ logic_ vector (7 downto 0));
end test1;
architecture behavior of test1 is
begin
    Process (d_ in, en)
    begin
         if en= '1' then
              d_ out <= d_ in;
         else
              d_out <= "zzzzzzzz" ;
         endif;
     end process;
end behavior;
```

الف. دی مالتی پلکسر ب. مالتی پلکسر ج. بافر سه حالته د. دیکدر

نام درس: طراحی خودکار مدارهای دیجیتال
رشته تحصیلی-گرایش: مهندسی سخت افزار
کد درس: ۱۱۱۵۲۱۳
تعداد سوال: تستی: ۳۰ تکمیلی: -- تشریحی: ۵
زمان آزمون (دقیقه): تستی و تکمیلی : ۴۵ تشریحی: ۶۰

۲۰- گزینه صحیح برای پروسه زیر کدام است؟

```
process (a,b)
begin
if (A<B) then
    less <= '1';
    equal <= '0';
grater <= '0';
else
     less <= '0';
     equal <= '0';
     greater <= '1';
   end if;
end process;
```

الف. کلیه حالات مقایسه A و B را شامل می شود.
ب. نامساوی بودن A و B را مشخص می کند.
ج. در برخی از حالات مقایسه A و B پاسخ غلط به خروجی ارسال می گردد
د. هیچکدام.

۲۱. کدام گزینه غلط است؟

الف.درمدارهای ترکیبی علاوه بر سیگنال‌های ورودی و خروجی، سیگنال کلاک و احیانا یک سری سیگنال‌های کنترلی دیگر مانند reset وجود دارد.
ب. سیگنال کنترولی می تواند فعال صفر یا فعال یک باشد.
ج. فلیپ فلاپ ها، شیفتر و شمارنده ها از مدارهای ترتیبی هستند.
د. ماشین حالت در دو نوع میلی و مور می تواند وجود داشته باشد.

۲۲. قطعه برنامه زیرچه گیتی را توصیف می کند

```
signal state: std_logic;
signal input: std_logic_vector(1 downto 0begin) ;
input<= a & b;
p: process (clock ,reset)is
begin
  if(reset='1')then;
    state <='0';
elsif (rising _ edge (clock)) then
    case(input)is
      when"11"=>
        state <=  not state;
       when "10"=>
         state <= '1';
       when "01"=>
         state <= '0';
       when others =>
          null;
      end case;
    end if;
end process;
Q <= state;
Qbar <= not state;
```

الف. فلیپ فلاپ R-S ب. شمارنده دو بیتی ج. ثبات دو بیتی د.فلیپ فلاپ J-K

نام درس: طراحی خودکار مدارهای دیجیتال
رشته تحصیلی-گرایش: مهندسی سخت افزار
کد درس: ۱۱۱۵۲۱۳
تعداد سوال: تستی: ۳۰ تکمیلی: -- تشریحی: ۵
زمان آزمون (دقیقه): تستی و تکمیلی : ۴۵ تشریحی: ۶۰

۲۳- قطعه برنامه زیر بیانگر کدام گزینه می‌باشد؟

```
BEGIN
    Process (Enable , Read , Addr)
    Begin
       If  Enable = '1' then
 if ( Read = '1') then
          Data <= memory (addr) ;
         else Data <= "zzzzzzzz" ;
             end if ;
       else Data <= "zzzzzzzz" ;
       end if ;
    end process ;
```

الف. RAM با گذرگاه ورودی/ خروجی دو طرفه
ب. RAM دو درگاهه ۴×۴
ج. حافظه فقط خواندنی
د. RAM با ورودی خروجی مجزا

۲۴. کدام گزینه صحیح نیست؟

الف. رجیستر PC و IR توسط واحد کنترل در واکشی و کد گشایی دستورات بکار می‌روند.

ب. واحد کنترل ریزپردازنده وظیفه اعمال منطقی را بر عهده دارد.

ج. بخش کنترل(Control Unit ) تولیدکننده سیگنال های کنترلی تمام اجزای ریزپردازنده است.

د. وظیفه ثبات IR نگهداری کُد دستورالعمل هااست.

۲۵. قطعه برنامه زیر توصیف کننده کدام گزینه است؟

```
Process( I0 ,I1 ,I2 , I3, sel )
 begin
      case sel is
 when "00" =>Q <= I0 ;
 when "01" =>Q <= I1;
 when "10" => Q <= I2;
  when "11" => Q <= I3;
    when others =>
        end case;
       end process ;
```

الف. دی مالتی پلکسر
ب. دیکدر
ج. انکدر
د. مالتی پلکسر

نام درس: طراحی خودکار مدارهای دیجیتال
تعداد سوال: تستی: ۳۰ تکمیلی: -- تشریحی: ۵
رشته تحصیلی-گرایش: مهندسی سخت افزار
زمان آزمون (دقیقه): تستی و تکمیلی : ۴۵ تشریحی: ۶۰
کد درس: ۱۱۱۵۲۱۳

۲۶. در مورد نرم افزار MAX + PLUS کدام گزینه صحیح نیست؟

الف. شامل مجموعه ای از نرم افزارهای کاربردی برای طراحی خودکار مدارهای دیجیتال می‌باشد.

ب. فقط زبان های Verilog، AHDL راپشتیبانی می کند.

ج. امکان وارد نمودن طرح به صورت شماتیک میسر است.

د. دارای ویرایشگر شکل موج است که می تواند بردارهای تست را وارد نموده و نتایج شبیه سازی را فراهم کند.

۲۷. کدام گزینه در مورد اجزاو ابزارهای کامپایلر صحیح نیست؟

الف. Fitter عمل جایگذاری و مسیردهی را انجام می‌دهد. اطلاعات مربوط به میزان استفاده و محل پایه‌ها در فایلی با پسوند rpt ذخیره می‌شود.

ب. Database Builder : ترکیب اطلاعات همه فایل ها در یک پایگاه داده جهت دسترسی سریع به اطلاعات برای مراحل بعدی.

ج. Partitioner : تقسیم بندی طرح خیلی بزرگ که در یک تراشه جا نشود.

د. Timing Analyzer تولید اطلاعات برنامه ریزی تراشه را به عهده دارد و آنها را در یک یا چند فایل با پسوند pof قرار می دهد.

۲۸. کدام گزینه غلط است؟

الف. در طراحی شماتیک با دو بار کلیک بر روی عناصر اولیه که قبلا توصیف شده باشد می توان کد VHDL آن را مشاهده و ویرایش نمود.

ب. برای طرح شماتیک مدار ، می توان یک سمبل ایجاد نمود

ج. می توان از یک سمبل ایجاد شده در سطوح بالاتر طراحی شماتیک ، استفاده نمود

د. اگر فایل اصلی که بیان‌کننده طرح در بالاترین سطح می‌باشد، به عنوان پروژه جاری تعیین شود، از طریق آن به زیرطرح‌ها نیز می‌توان دسترسی داشت

۲۹. کدام گزینه غلط است ؟

الف.درشت تابع هاتوابعی با خصوصیات از پیش تعریف شده وثابت هستند

ب.کتابخانه پیمانه های پارامتری(LMP ) شامل توابع مختلفی هستند که با ارائه پارامترهای مختلف امکان سفارشی نمودنشان میسر است

ج.استفاده از پیمانه های پارامتری باعث انجام موثرتر عملیات سنتز وپیاده سازی در تراشه می شودولی سرعت طراحی را به شدت پائین می آورد

د.برای هر یک از پیمانه های پارامتری،یک تعریف مولفه که در زبان VHDLپشتیبانی می شود وجود دارد

۳۰. کدام گزینه غلط است

الف.عملگرهای یکانی"+" و "-" برای مشخص کردن علامت اعداد بکار می رود

ب.در عملگر شیفت تعداد شیفت نمی تواند یک عدد صحیح منفی باشد

ج.عملگر جمع برای انجام عملیات محاسبه ای(جمع وتفریق)روی هر نوع عملوند عددی بکار می رود

د.عملگرهای توان و قدر مطلق برای انواع عددی بکار می‌رود وعملگر not برای انواع بیتی و بولی استفاده می شود.

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود کتابچه نمونه سوال چندین دوره با جواب دانلود حل المسائل خبرنامه اس ام اسی
www.pnueb.com

**نام درس:** طراحی خودکار مدارهای دیجیتال
**رشته تحصیلی-گرایش:** مهندسی سخت افزار
**کد درس:** ۱۱۱۵۲۱۳

**تعداد سوال:** تستی: ۳۰ تکمیلی: -- تشریحی: ۵
**زمان آزمون (دقیقه):** تستی و تکمیلی : ۴۵ تشریحی: ۶۰

## سوالات تشریحی

۱. برنامه‌ای برای توصیف یک ALU ساده بنویسید که چهار عمل جمع، تفریق به روش مکمل دو، AND و OR را روی دو بیت a و b انجام می‌دهد و با دو بیت کنترل نوع عمل مشخص می گردد. (۱/۵ نمره)

۲. کد VHDL برای یک RAM بنویسید که با ورودی و خروجی مجزا و دارای 16 کلمه 8 بیتی باشد.(۱ نمره)

۳. یک پروسیجر برای جمع دو عدد ۳۲ بیتی بنویسید.(۱ نمره)

۴. هشت مورد از ابزارهای نرم افزار MAX+PLUSII را فقط نام ببرید.(۱ نمره)

۵. شکل مداری یک PLA (آرایه منطقی قابل برنامه ریزی) بصورت یک مدار دو سطحی AND - OR با چهار خط ورودی و سه خط خروجی رسم نمایید و فیوزبیت ها را طوری در نظر بگیرید (الگوی برنامه ریزی) تا سه تابع O3,O2,O1 زیر محقق شود. فیوز بیتهای استفاده شده را در شکل معین کنید.(۱/۵ نمره)

$$O_1 = L_1.L_2 + L_1'.L_2'.L_3'.L_4'$$

$$O_2 = L_1.L_3' + L_1'.L_3.L_4 + L_2$$

$$O_3 = L_1.L_2 + L_1.L_3' + L_1'.L_2'.L_4'$$

دانلود کتاب درسی کتابخانه الکترونیکی دانشگاه پیام نور دانلود خلاصه دروس
دانلود نمونه سوال چندین دوره با جواب
دانلود حل المسائل www.pnueb.com خبرنامه اس ام اسی

دانشگاه پیام نور

بانک سؤال

کلید تشریحی

پاسخ سؤالات تشریحی درس طراحی خودکار مدارهای دیجیتال رشته کامپیوتر - سخت افزار صفحه ۱

توضیح طراح سؤال ـــــــــ محرمانه مستقیم ۱۱۱۵۲۱۲

سال تحصیلی ۸۷/۸۸ نیمسال اول ○ نیمسال دوم ✓ بارم: ۶ نمره تشریحی - ۸ نمره تستی

۱- صفحه ۱۹۱ از کتاب درسی -- (۱٫۵ نمره)

۲- صفحه ۲۱۰ از کتاب درسی - (۱ نمره)

۳- صفحه ۱۷۰ از کتاب درسی - (۱ نمره)

۴- صفحه ۲۵۹ الی ۲۶۳ از کتاب درسی - ۸ مورد از ۹ مورد (۱ نمره)

① نمایشگر سلسله مراتبی (Hierarchy Display)
② ویرایشگر متنی (Text Editor)
③ ویرایشگر گرافیکی (Graphic Editor)
④ ویرایشگر شکل موج (Waveform Editor)
⑤ ویرایشگر سمبل (Symbol Editor)
⑥ ویرایشگر پلان ها (Floorplain Editor)
⑦ کامپایلر (Compiler)
⑧ شبیه ساز (Simulator)
⑨ تحلیلگر زمانی (Timing Analyzer)

توجه: فقط یکی از فارسی یا لاتین در هر مورد کفایت می کند.

۵- شکل زیرین از صفحه ۳۷ کتاب درسی (۱٫۵ نمره)

مجموع بارم ۶ نمره